

使用 Altium Designer

进行高性能 PCB 设计

Donny Hou (后盾)
Altium China
donny.hou@altium.com

第一章	高性能 PCB 设计的基本概念.....	3
1.	PCB 承担的任务	3
2.	设计中常见的性能问题——SI、PI、EMI 及其相互影响	3
3.	了解整个系统，明确设计目标，把握关键模块	21
第二章	使用统一、优选的集成化器件库并与物料管理系统实时关联	22
第三章	原理图设计及其对 PCB 的约束与设计规划	23
1.	原理图阶段进行 PCB 设计规划	23
2.	复杂系统的原理图设计	23
3.	原理图阶段进行 PCB 规则设置	25
第四章	PCB 设计前期准备	27
1.	叠层设计与阻抗控制	27
2.	原理图与 PCB 的双向同步	34
3.	成熟模块的设计复用	35
4.	关键模块和元器件的布局	36
5.	设计规则的应用	39
第五章	PCB 设计中期	43
1.	各功能模块的注意事项	43
2.	高速高密度 PCB 走线	44
3.	内电层分割、铺铜、过孔、去耦电容的设计	54
第六章	PCB 设计后期	61
1.	整体检查	61
2.	仿真与改进	65
3.	高效率设计输出与设计归档	72
第七章	总结	72
	相关参考资料	73

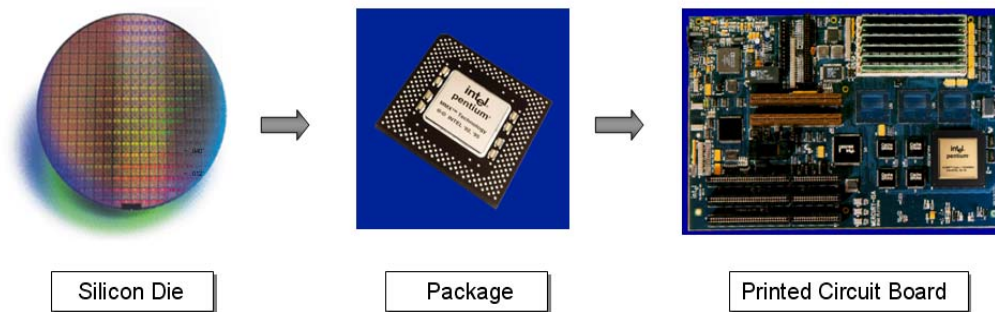
本次课程摆脱了软件工具功能介绍和操作说明，直接从设计工程师的角度出发，针对复杂 PCB 设计中的基本概念、常规流程和处理方法进行介绍。通过一个完整的实际工程在 Altium Designer 平台下的实现过程使得课程更加贴近实际应用。其中适当引入了 SI/PI/EMI 的分析方法和大量设计经验，为学员在实际工作中应对高性能 PCB 设计的典型问题提供一定的参考。

通过本课程，学员将会了解到高性能 PCB 设计的基本概念和流程，掌握一定的设计经验和处理方法；使用 Altium Designer 平台进行案例操作，将使学员从更高的层面把握 EDA 工具。从而在实际工作中更加游刃有余的应对各种问题。

第一章 高性能 PCB 设计的基本概念

1. PCB 承担的任务

我们通过设计 PCB, 把各种芯片整合在一起, 来实现某种特定功能, 这就是 PCB 设计的主要任务。所以, 从某种意义上讲, PCB 主要的作用是系统功能的载体。



从电性能的角度来看, PCB 主要有三个部分的功能, 首先是实现信号的传输, 也就是通过 PCB 把信号从一个芯片传输到另外一个芯片, 显然 PCB 是信号传输的通道, PCB 设计的好坏会影响信号传输的性能; PCB 的另外一个功能是实现电源的再分配, 因为所有芯片的电源供给都需要通过 PCB 从电源模块上取得的; PCB 的最后一个功能是控制 EMI/EMC, 也就是使得 PCB 对外界的电磁能量干扰最小。

2. 设计中常见的性能问题——SI、PI、EMI 及其相互影响

高性能 PCB 设计中, 为了更好的实现信号传输、电源分配、EMI 控制的功能, 无疑需要面对各种各样的 SI、PI、EMI 问题。这些问题有很多种不同的表现形式, 而他们之间也会相互影响, 我们在面对这些问题的时候需要综合考虑, 选取最佳的应对方案。

➤ 高速数字信号的模拟特性

如图 1，一个理想的数字信号波形为矩形方波。

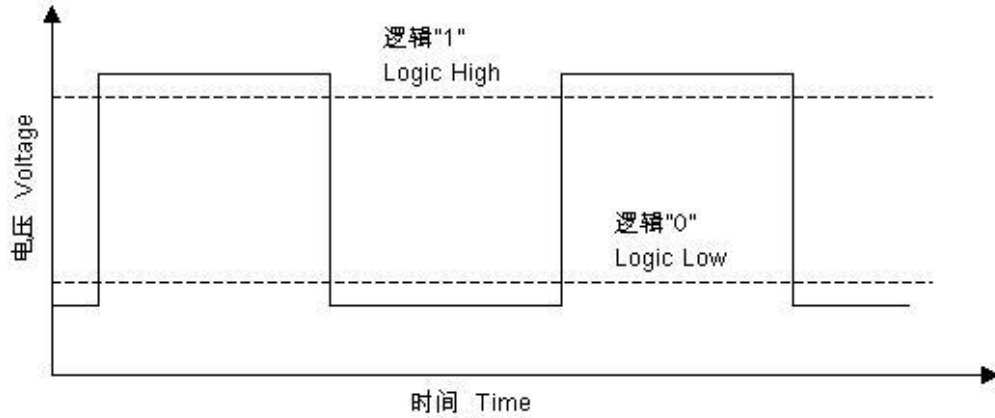


图 1 理想数字信号波形

而在实际传输中，由于各种因素的影响，实际的数字信号波形会成为图 2 所示的形式，包含了很多模拟特性，随着电子设计的高速化和小型化，数字信号的这些模拟特性已经不容忽视。

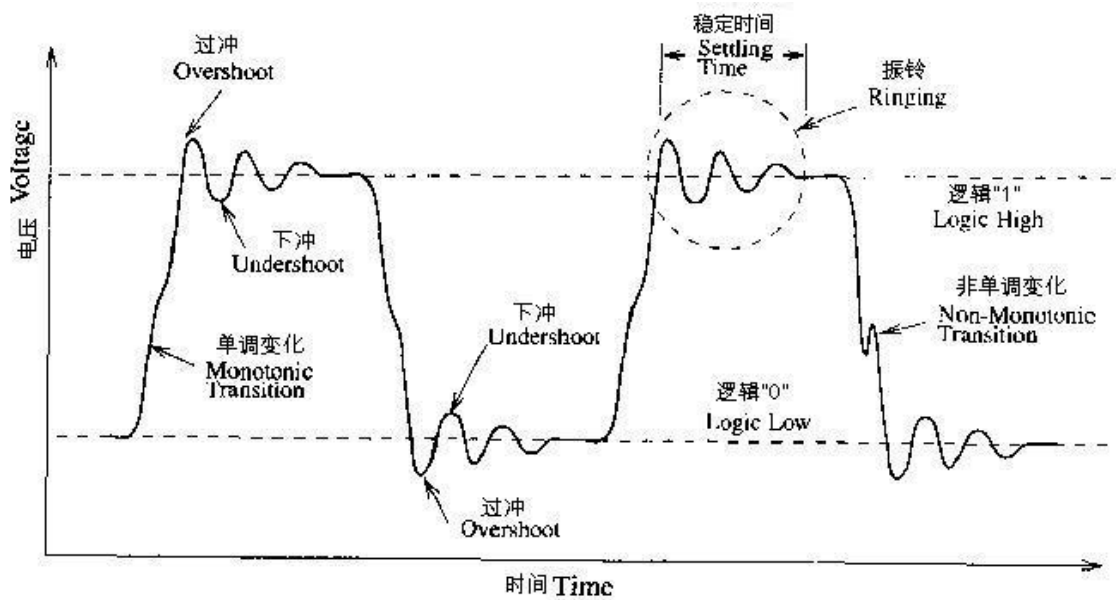


图 2 携带模拟特性的数字信号波形

➤ 振荡、过冲与下冲

在图 1 和图 2 中我们可以看到，与理想的数字信号波形相比，实际信号最显著的一个区别就是过冲(overshoot)和下冲(undershoot)。过冲就是第一个峰值或谷值超过设定电压，对于上升沿是指最高电压，而对于下降沿是指最低电压。下冲则是指下一个谷值或峰值超过设定电压。如图 3 所示，通常接收器中都有一个 ESD 钳拉保护结构，

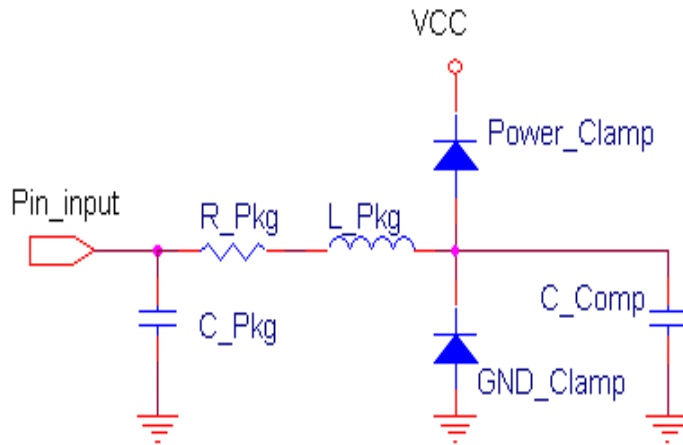


图 3 接收器中的 ESD 钳拉保护结构

如果过冲的幅度过大，就会引起保护二极管工作，导致信号失效。而如果下冲幅度过大以至于超过逻辑门限电平，则会出现毛刺现象，可能引起假时钟或数据错误。

反复出现过冲和下冲时，就产生了振荡现象。振荡是由信号线上的过渡电感和电容引起的，当线路处于欠阻尼状态时的振荡称为振铃(ringing)，而过阻尼状态时的振荡则称为环绕振荡(rounding)。振荡可以通过端接予以减小，但是不可能完全消除。

➤ 稳定时间(settling time)

在谈到稳定时间之前，我们不得不先介绍一下数字系统中经常提到的建立时间

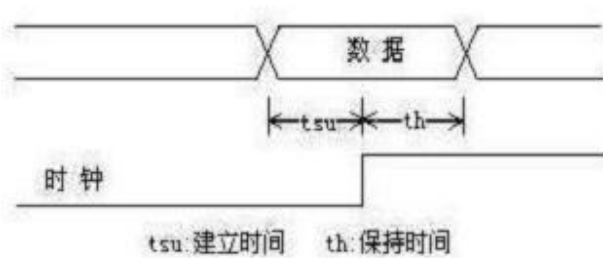


图 4 建立时间和保持时间

(setup time)和保持时间 (hold time)，以免概念混淆。如图 4，建立时间是指在时钟信号的上升沿到来之前，数据保持稳定不变的时间；而保持时间是指在时钟信号的上升沿到来之后，数据保持稳定不变的时间。

如果建立时间和保持时间不能满足系统要求，则数据无法稳定传输。建立时间和保持时间的概念还是

属于信号的数字特性，而稳定时间(settling time)就是一个模拟特性，它是指信号从振荡到稳定，达到指定的最终值，这一过程所需要的时间(如图 2 所示)。稳定时间对建立时间和保持时间的影响是显而易见的，而其自身的长短取决于信号线的阻尼状况。

➤ **信号的非单调变化(non-monotonic transition)**

通常信号的上升沿或下降沿都是单调变化的，但由于反射、串扰等原因，有时候信号的边沿会出现非单调变化，如图 5 所示，如果这个非单调变化造成信号两次穿过门限电平，就会产生毛刺现象，可能造成假时钟或数据错误。

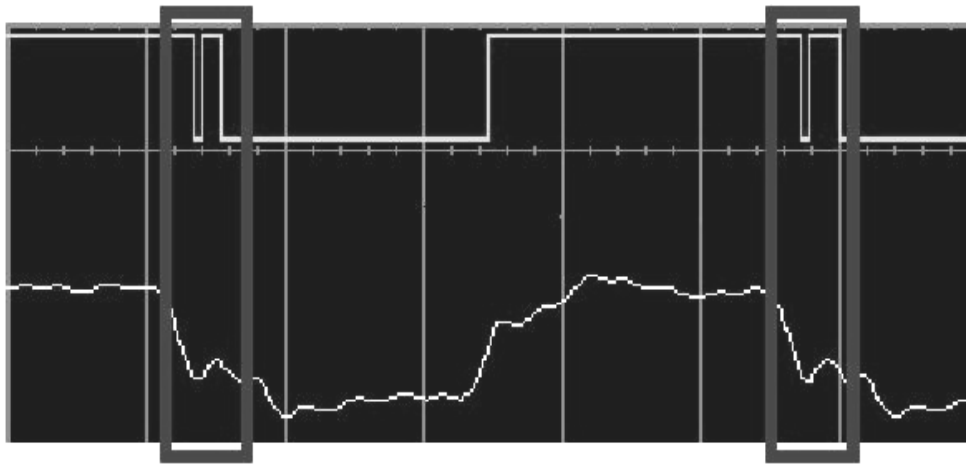


图 5 信号的非单调变化造成毛刺

➤ 传输线模型

在一般的电路分析中，所涉及的网络都是集总参数的，即所谓的集总参数系统。电路的所有参数，如阻抗、容抗、感抗都集中与空间的各个点上，即各个元件上。各点之间的信号是瞬间传递的。集总参数系统是一种理想化的模型。它的基本特征可以归纳为：

- 电参数都集中在电路元件上；
- 元件之间连线的长短对信号本身的特性没有影响，即信号在传输过程中无畸变，信号传输不需要时间。
- 系统中各点的电压或电流均是时间且只是时间的函数。

集总参数系统是实际情况的一种理想化近似。实际的情况是各种参数分布于电路所在空间的各处，当这种分散性造成的信号延迟时间与信号本身的变化时间相比已经不能忽略时，就不能再用理想化的集总参数模型来描述系统。这时，信号是以电磁波的速度在信号连接线上传输，信号连接线是带有电阻、电容、电感的复杂网络，是一个典型的分布参数系统。

在 PCB 设计中，把元器件互连起来就要使用大量连接线，有的连接线很短，仅有几厘米，而有的连接线较长。在较长的连接线上，信号从驱动器到接收器需要一定的时间，实验和电动力学的理论都证明了以空气为绝缘介质的均匀导体，电信号的传输速度可以接近光速，即 $3 \times 10^8 \text{ m/s}$ 。假设有 5m 长的导线，信号从驱动端到接收端需要 17ns 的时间，也就是说，接收信号对于驱动信号有 17ns 的延迟。这段时间对于微秒级或更低速度的系统是可以忽略的，但对于纳秒量级的高速电路，这个延迟就不容忽视了。高速门电路(如 74FTTL 系列数字集成电路)的每级平均延迟时间可以小到几个纳秒，而速度更高的 ECL 数字集成电路，其典型延迟时间为 1~2ns(ECL 10K 系列)，甚至只有 300~500ps(ECLinPS 系列)。在这样的高速电路系统中，印刷电路板上的连线(通常不超过 10~20 厘米)延迟也都不可再忽略。问题还不止于此，从以后的分析中还将看到当高速变化的信号在信号连接线上传播时，若终端和始端出现阻抗不匹配，则会出现电磁波的反射，

是信号波形严重畸变,并且引起一些有害的干扰脉冲,影响整个系统的正常工作,所以在高速电路设计中,信号传输问题必须予以慎重考虑。这时,信号连接线应作为分布参数系统来对待。

在电路分析中,那些必须考虑信号传输的连接线被称为传输线。由于传输线的一个基本特征是信号在其上的传输需要时间,因而传输线也常常被称为延迟线。作为一个分布参数系统,传输线的基本特征可以归纳为:

- 电参数分布在其占据的所有空间位置上。
- 信号传输需要时间。传输线的长度直接影响着信号的特性,或者说可能使信号在传输过程中产生畸变。
- 信号不仅仅是时间的函数,同时也与信号所处的位置有关,即信号同时是时间和位置的函数。

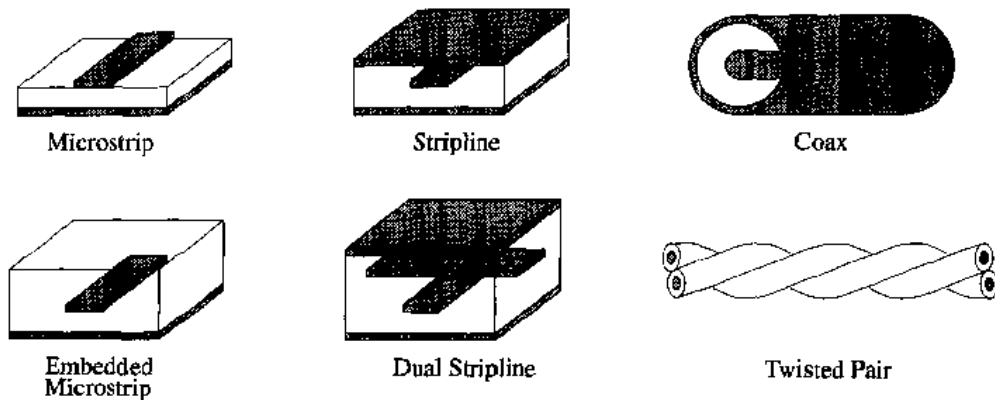
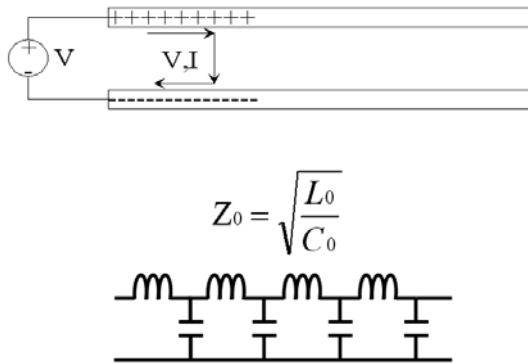


图 6 几种常见的传输线类型

图 6 给出了常见的几种传输线类型,其中 Microstrip(微带线)和 stripline(带状线)通常用在 PCB 中,PCB 板上的一根连线与其下方的平面层自然就构成了一个 Microstrip,而多层板中,介于两个平面层之间的信号连线自然就构成了一个

stripline。当两个平面层之间有两层信号走线时，就形成了 Dual Stripline，为了减小串扰，两层信号走线通常需要正交。而系统中两个部件之间的连接通常采用 Coax(同轴线)和 Twisted Pair(双绞线)。其中双绞线尤其适用于差分信号。

这里我们来介绍传输线的一个基本参数，特征阻抗，也就是我们通常所讲的 50 欧姆阻抗。特征阻抗是指信号沿传输线传播的过程中，传输线上看到的瞬间阻抗值，这里要注意是瞬时，也就是瞬态情况下的阻抗。这个阻抗是传输线本身的物理结构决定的，一般我们会设计成 50 欧姆。大家可能要问，为什么我们选 50 欧姆作为标准阻抗，这是在微波的发展过程中逐渐形成的。射频电缆特性阻抗在



70 多欧姆左右时,传输损耗最小;在 30 多欧姆时,承受功率最大。两者综合,选择 50 欧姆,同时照顾到两种性能,所以就选择了 50 欧姆作为一个标准。如果外接的阻抗同特征阻抗不一致,就会产生反射。

对于 PCB 中典型的两种传输线模型，图 7 给出了其特征阻抗的计算公式：

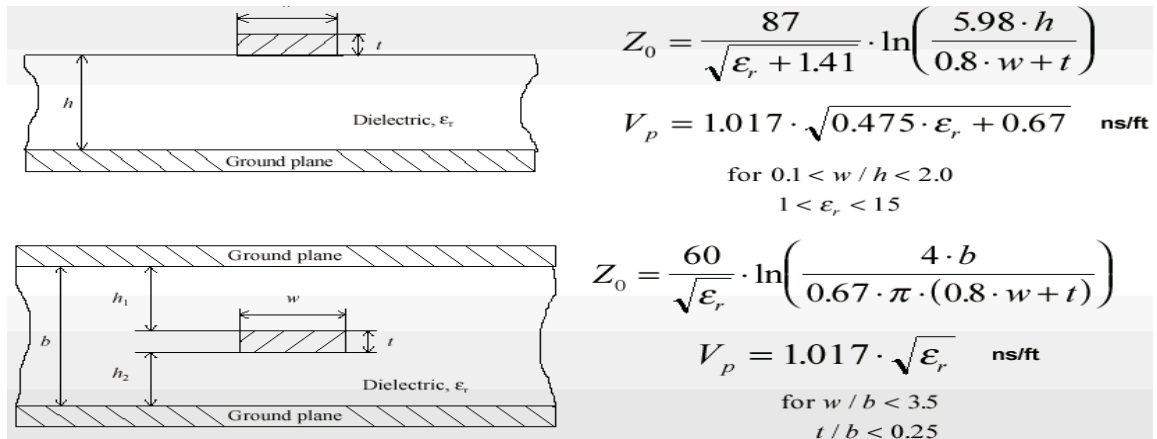


图 7 PCB 中微带线和带状线的特征阻抗

由计算公式可以看出，PCB 中传输线的特性阻抗与线宽、铜皮厚度、走线到参考平面的距离（通常是层间距离）、层间介质（板材）的介电常数这 4 个因素有

关，因此在设计 PCB 时，可以通过选择板材，控制叠层结构，改变走线宽度等方法来对 PCB 走线的特征阻抗进行控制。

➤ 反射

传输线上的阻抗不连续会导致信号反射，我们以图 8 所示的理想传输线模型来分析与信号反射有关的重要参数。图中，理想传输线 L 被内阻为 R_0 的数字信号驱动源 V_S 驱动，传输线的特性阻抗为 Z_0 ，负载阻抗为 R_L 。

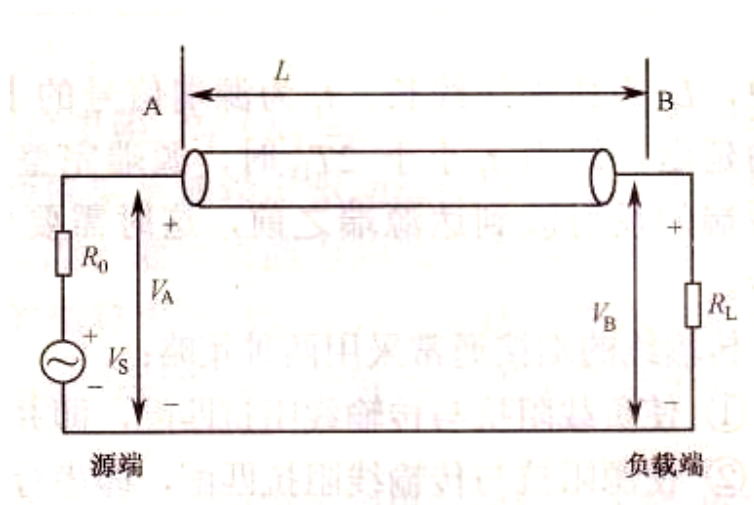


图 8 理想传输线模型和相关参数

理想的情况是当 $R_0 = Z_0 = R_L$ 时，传输线的阻抗是连续的，不会发生任何反射，能量一半消耗在源内阻 R_0 上，另一半消耗在负载电阻 R_L 上(传输线无直流损耗)。如果负载阻抗大于传输线的特性阻抗，那么负载端多余的能量就会反射回源端，由于负载端没有吸收全部能量，故称这种情况为欠阻尼。如果负载阻抗小于传输线的特性阻抗，负载试图消耗比当前源端提供的能量更多的能量，故通过反射来通知源端输送更多的能量，这种情况称为过阻尼。欠阻尼和过阻尼都会引起反向传播的波形，某些情况下在传输线上会形成驻波。当 $Z_0 = R_L$ 时，负载完全吸收到达的能量，没有任何信号反射回源端，这种情况称为临界阻尼。从系统设计的

角度来看,由于临界阻尼情况很难满足,所以最可靠适用的方式是轻微过阻尼,因为这种情况没有能量反射回源端。

负载端阻抗与传输线阻抗不匹配会在负载端(B点)反射一部分信号回源端(A点),反射电压信号的幅值由负载反射系数 ρ_L 决定,见下式:

$$\rho_L = \frac{R_L - Z_0}{R_L + Z_0}$$

式中 ρ_L 称为负载电压反射系数,它实际上是反射电压与入射电压之比。

$-1 \leq \rho_L \leq +1$,且当 $R_L = Z_0$ 时, $\rho_L = 0$,这时就不会发生反射。只要根据传输线的特性阻抗进行终端匹配,就能消除反射。从原理上说,反射波的幅度可以大到入射电压的幅度,极性可正可负。当 $R_L < Z_0$ 时, $\rho_L < 0$,处于过阻尼状态,反射波极性为负;当 $R_L > Z_0$ 时, $\rho_L > 0$,处于欠阻尼状态,反射波极性为正。

当从负载端反射回的电压到达源端时,又将再次反射回负载端,形成二次反射波,此时反射电压的幅值由源反射系数 ρ_s 决定,见下式:

$$\rho_s = \frac{R_0 - Z_0}{R_0 + Z_0}$$

反射是造成过冲、下冲和振荡的直接原因,是一般信号完整性问题最常见的表现,如何通过分析采用终端阻抗匹配等各种措施来消除或减小反射效应,将在第五章讨论。

➤ 串扰(Crosstalk)

串扰是指当信号在传输线上传输时,因电磁耦合对相邻的传输线产生不期望的电压噪声干扰。过大的串扰可能引起电路的误触发,导致系统无法正常工作。

在讨论串扰之前,首先要确定**干扰源(Aggressor)**和**被干扰对象(Victim)**。如图9,如果位于A点的驱动源称为干扰源,则位于D点的接收器称为被干扰对象,

AB 之间的线网称为**干扰源网络(Aggressor line)**, CD 之间的线网称为**被干扰对象网络(Victim line)**; 反之, 如果位于 C 点的驱动源称为干扰源, 则位于 B 点的

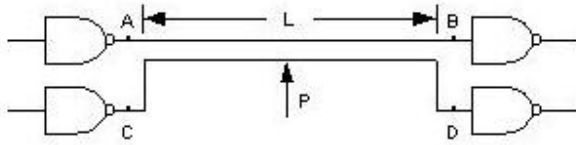


图 9 串扰中的干扰源与被干扰对象

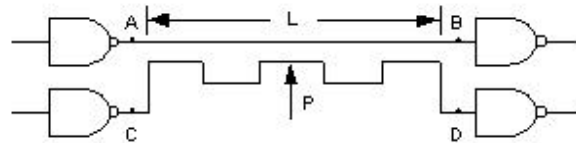
接收器称为被干扰对象, C、D 之间的线网称为干扰源网络, A、B 之间的线网称为被干扰对象网络。当干扰源状态变化时, 会在被干扰对象

上产生一串扰脉冲, 在高速系统中, 这种现象很普遍。

串扰具有如下特性:

- 由于感性串扰和容性串扰的互相抵消, 当两线电流同向时, 远端串扰小于反向时, 而近端串扰则不受此影响;
- 串扰随线间距增大而减小;
- 串扰随两线平行长度增加而增大;
- 串扰随信号频率增大而增大;
- 在数字电路中, 信号的边沿变化(上升/下降时间)对串扰的影响最大, 边沿变化越快, 串扰越大;
- 地平面与信号线间的距离越近, 串扰越小。

针对以上这些串扰的特性, 可以归纳出几种减小串扰的主要方法:



- 加大线间距, 减小线平行长度, 必要时可以以 jog 方式走线;
- 高速信号线在满足条件的

的情况下, 加入端接匹配可以减小或消除反射, 从而减小串扰;

- 对于微带传输线和带状传输线, 尽量减小走线和参考面之间的距离, 可以显著减小串扰;
- 在布线空间允许的条件下, 在串扰较严重的两条线之间插入一条地线, 可以

起到隔离的作用，从而减小串扰。

- 在没有必要的情况下，不要过分使用高速器件。

➤ 截止频率

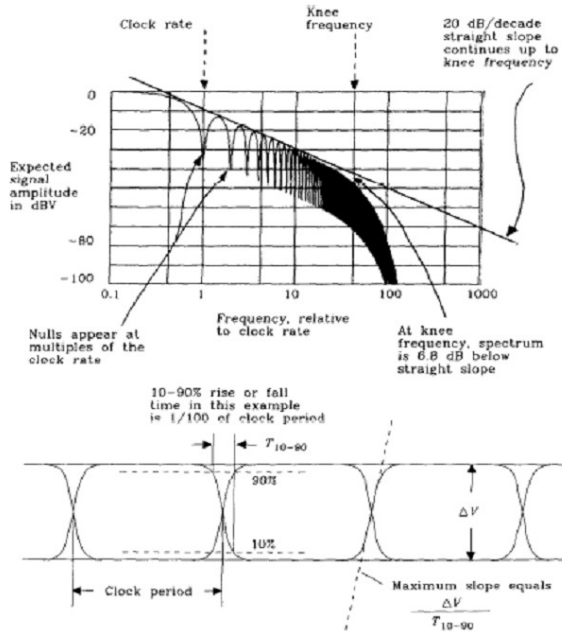


图10 数字信号的截止频率

对于一个数字信号，它的频谱分量如图 10 所示，在一定的频率范围内，各次谐波的幅度近似沿着一条斜率为 20dB/10 倍程的直线缓慢衰减，到了一定的频率范围之外，信号的高次谐波将出现急剧衰减，不再遵循线性，因此我们定义当信号频谱的幅度偏离 20dB/10 倍程的直线达到 6.8dB 时，这一点的频率为截止频率。通常，信号的绝大部分能量集中在截止频率以内，因此在考察一个数字信号的时候往往可以忽略截止频率

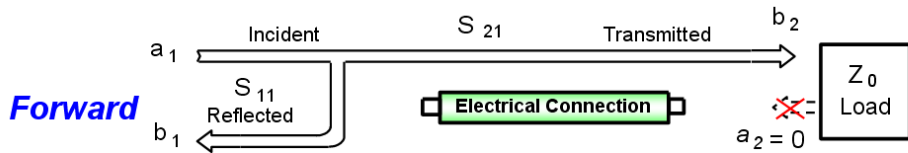
之外的频谱。这也是我们考察一个系统时，选择所要关注频率范围的依据。

作为近似经验公式， $F_{knee} = 0.35 / Trise$ 给出了通常情况下快速估算一个数字信号的截止频率的方法。其中 $Trise$ 定义为信号电平从 10% 上升到 90% 的时间。由此可见，一个数字信号的截止频率并不取决于它的 clock 周期，而是取决于其上升/下降时间。

➤ S-参数的定义

S 参数是描述一个高频网络特性的参数，它的原理同我们电路理论里的 Z 参数，Y 参数类似。但由于 Z 和 Y 参数的测量存在开路短路情况，不适合高频情况下应用，所有我们用 S 参数来描述。如图 11 所示，当端口 2 匹配时，我们可以定

义两个 S 参数 S₁₁ 和 S₂₂，S₁₁ 是反射系数，S₂₁ 是传输系数。我们有时也把 S₁₁ 称为回波损耗，而 S₂₁ 为插入损耗。

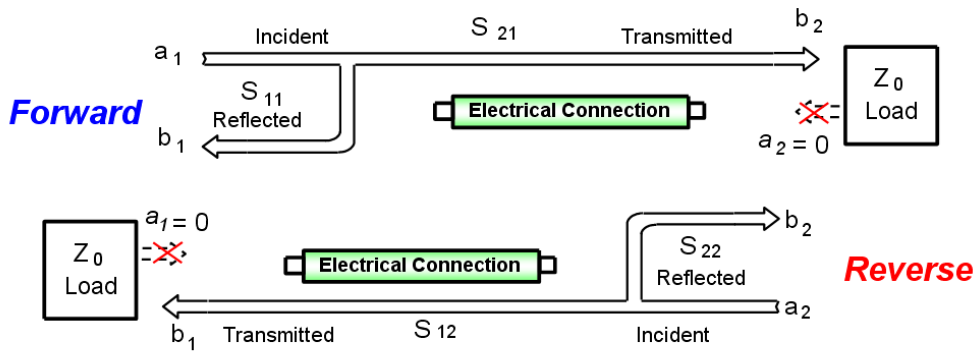


Return Loss $S_{11} = \frac{b_1}{a_1} \Big|_{a_2=0}$

Insertion Loss $S_{21} = \frac{b_2}{a_1} \Big|_{a_2=0}$

图 11 S-参数的定义

对于我们通常碰到的两端口互联结构，可以定义四个 S 参数，如图 12。以此类推，对于一个 N 端口网络，我们可以得到一个 N x N 的 S-参数矩阵，分别描述每个端口与其他 N-1 个端口之间的传输系数及其自身的反射系数。



Return Loss $S_{11} = \frac{b_1}{a_1} \Big|_{a_2=0}$ $S_{22} = \frac{b_2}{a_2} \Big|_{a_1=0}$

Insertion Loss $S_{21} = \frac{b_2}{a_1} \Big|_{a_2=0}$ $S_{12} = \frac{b_1}{a_2} \Big|_{a_1=0}$

图 12 两端口网络的 S-参数

➤ **Power Delivered Network 的阻抗**

如图 13，在高速系统中，定义从受供电的端口向电源端“看”过去的电压与电流的比值为这个 PDN 的阻抗：

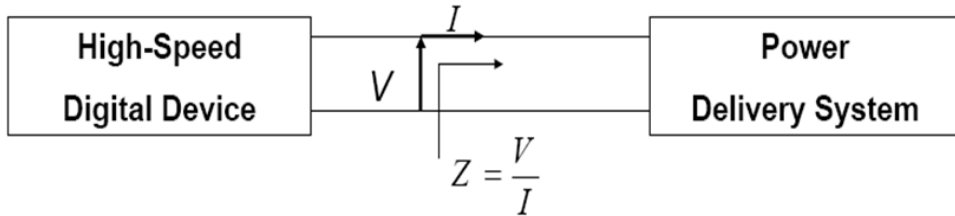
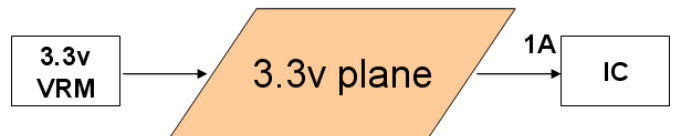


图 13 PDN 阻抗的定义

定义 PDN 的阻抗，可以为 PDN 设计提供一定的依据。如图 14，如果电源模块通过一个 PDN 向受供电部件（如一个 IC）供电，需要的供电电压是 3.3V，要求纹波小于 5%，根据系统的工况（或直接由 DATASHEET）得知工作时该路的最大电流为 1A，于是可以计算出：当 PDN 的阻抗小于 $(3.3V \times 5\%) / 1A = 165m\Omega$ 时，即使工作电流达到最大值 1A，受电端的纹波也可以控制在 5% 以内。这样就可以定义 165mΩ 作为 PDN 的目标阻抗，在 PDN 设计中以此为目标，使得 PDN 实际阻抗控制在目标阻抗以下，就可以达到设计要求。

$$Z_{Target} = \frac{(Power_Supply_Voltage) \times (Allowed_Ripple)}{Current}$$

Example:



$$Z_{Target(3.3v)} = \frac{(3.3v) \times (5\%)}{1A} = 165m\Omega$$

图 14 PDN 目标阻抗

➤ 去耦电容



$$f_{res} = \frac{1}{2\pi\sqrt{LC}}$$

下面介绍影响 PDN 阻抗的一个重要因素：去耦电容。与我们通常认为的不一样，去耦电容除了本身的电容效应以为，还有寄生参数带来的等效电感和电阻，我们把它称为 ESL 和 ESR，所以实际上一个电容应该是一个 RLC 串联

网络。同样，它的振荡特性就由本身电容和 ESL，ESR 决定。

图 15 给出了电容的阻抗曲线，在频率较低时，电容呈容性，其阻抗随频率增加而减小，当频率增加到一定大小时，电容的阻抗呈现感性，随着频率增加而逐渐增大，而这个频率的转折点，就是电容的谐振频率： $f_{res} = \frac{1}{2\pi\sqrt{LC}}$

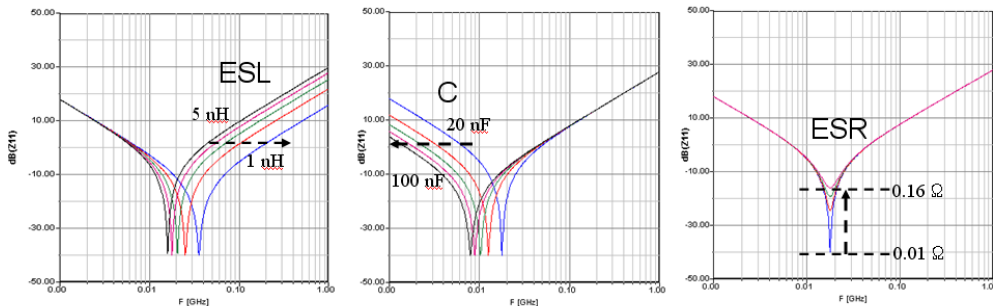


图 15 电容的阻抗曲线

当电容值一定时，ESL 越大，则谐振频率越低；当 ESL 相同时，电容值越小，则谐振频率越高。而 ESR 影响的是阻抗的幅度，不会改变谐振点的频率，在谐振频率点，整个电容的容性和感性抵消，呈纯阻性，这时的阻值就是 ESR 的值。掌握电容的阻抗特性，选取合适的去耦电容，对于整个系统的设计至关重要。

➤ 平面间的谐振

在 PCB 中，相邻两层铜皮构成了一对平行的平面导体，当两平面间有电势差时，就会形成电场，变化的电场就会形成电磁波的传播，换言之，相邻两层铜皮构成了一个腔体，当电磁波在这个腔体里传播的时候，就会有一定的分布模式，

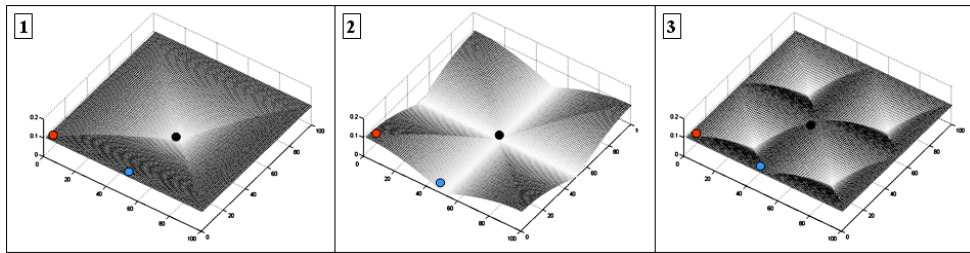


图 16 平面间的谐振

某些区域会出现电场变化较大，类似波峰波谷；某些区域电场变化不明显，类似波节。针对不同频率的电磁波，这种分布模式也完全不同，当两平面的相对结构固定时，某些频率的电磁波会激发起这个腔体的“共鸣”，引起电场剧烈变化，类似于机械振动中的谐振，所以我们称这种现象为平面间的谐振。一个固定的结构，其对应的谐振频率点（不止一个）是固定的，而在某一固定的频率激发下，产生的电场分布也是可以预见的。研究 PCB 中相邻两平面间的谐振频率点以及每个频点下的谐振分布，对于 PCB 的布局、去耦电容的选取和放置有着非常关键的指导意义。

➤ 有关 SSN

在讲电源完整性分析时候，通常会提到一个叫同步开关噪声的概念。同步开关噪声，顾名思义，就是当许多电路同时翻转时，比如从 1 到 0 的时候，所产生的噪声。因为电路同时翻转，会在电源地网络上产生一个较大的瞬态电流，这时附近的其他导体由于分布电感和电容的耦合，将会产生不容忽视的噪声，这就是所谓的同步开关噪声(Simultaneous Switching Noise, SSN)，所以从某种意义上讲，同步开关噪声是最差情况下的电源噪声。

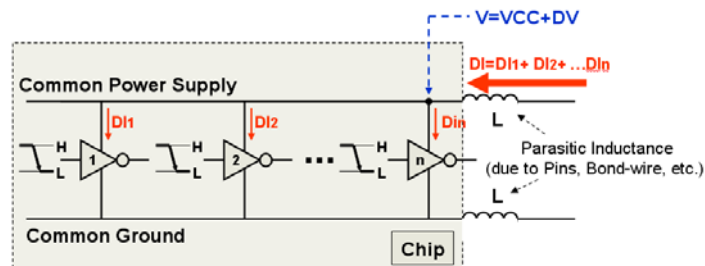


图 17 SSN 的产生

图 18 展示了 SSN 对系统的电源以及信号带来的影响：

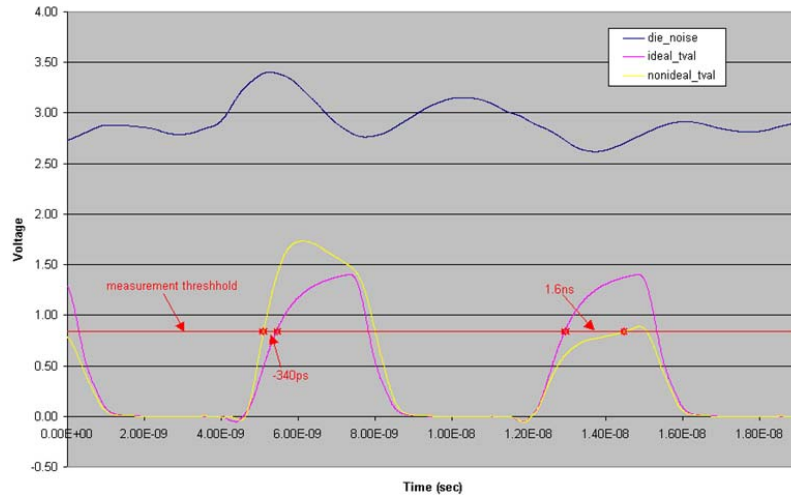


图 18 SSN 对系统的影响

➤ EMI 和 EMC

电磁兼容（EMC）是设备在复杂的电磁环境保持正常工作的能力；而电磁干扰（EMI）是指设备工作时产生的电磁骚扰对另外设备产生的影响。所以，总的来讲，电磁兼容和电磁干扰是问题的两个方面，从不同的角度描述的设备所产生的干扰和抗干扰能力。

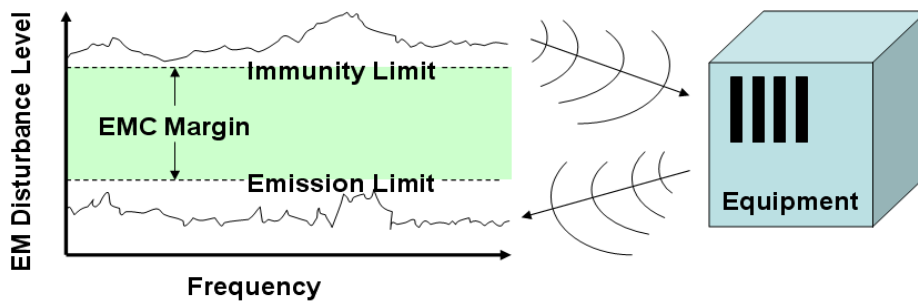


图 19 EMI 和 EMC

图 20 简单描述了电磁兼容问题的三个基本元素，分别是干扰源、干扰途径和被干扰体。如果干扰源比较明确，可以直接对干扰源采取抑制措施；如果干扰源未知，则只能设法切断干扰途径。干扰途径主要有传导和辐射，EMI 滤波器可以减少传导干扰，而屏蔽则是降低辐射干扰的有效方法。SI/PI/EMI 的综合考虑

可以在 PCB 设计阶段尽量抑制干扰源，从源头开始优化系统的 EMI 性能可以达到事半功倍的效果。

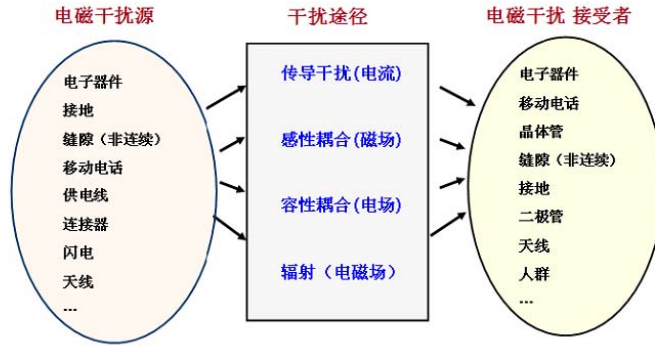


图 20 电磁兼容三要素

➤ 共模和差模

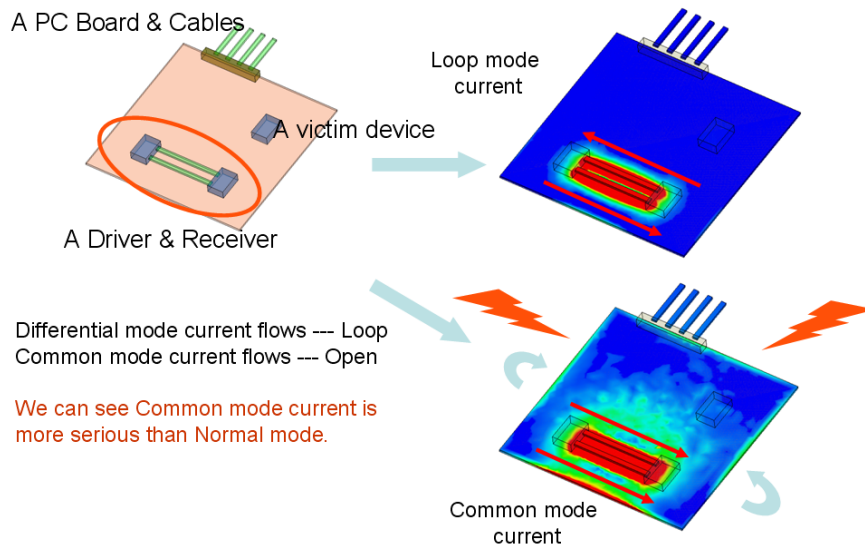


图 21 共模和差模

如图 21，差模是由一对反相电流构成，一正一反构成了一个回路，所以差模也成为 Loop mode，而共模则是由一对同相的电流构成。通常共模电流引起的噪声要大于差模电流，当然这是在一定的频率范围内有效。图 22 采用天线理论分别针对两种情况进行计算：

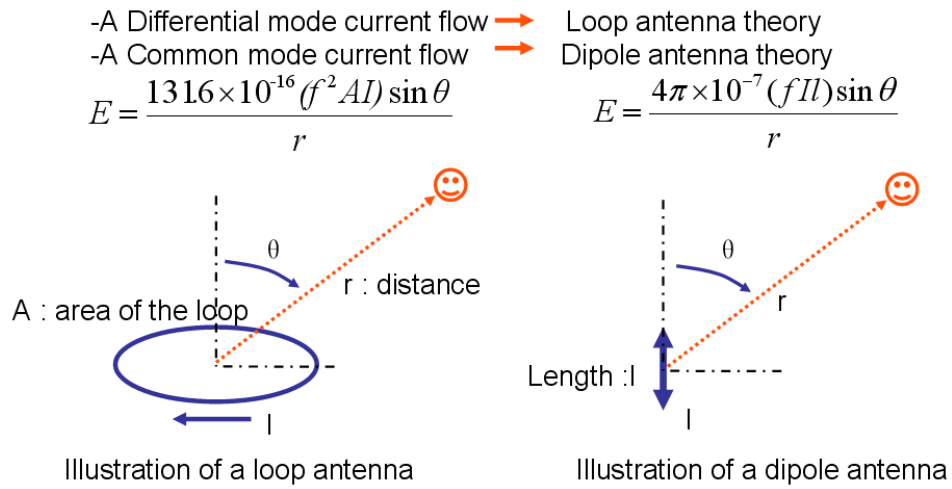


图 22 环路天线与偶极子天线

差模电流引起的辐射可以用环路天线模型进行计算，其场强与频率的平方成正比；而共模电流则适用于偶极子天线，其场强与频率成正比，从图 22 中的计算公式可以看出，当频率 f 小于 GHz 时，偶极子天线形成的电场强度远远大于环路天线，当 f 达到 GHz 的数量级时，环路天线的场强开始快速增加，超过偶极子天线。

当然，还可以看出的是，对于环路天线，场强与环路面积成正比，所以减小环路面积是抑制差模辐射的方法；而对于偶极子天线，场强与偶极子长度成正比，所以减小走线长度是抑制共模辐射的手段。

3. 了解整个系统，明确设计目标，把握关键模块

掌握了上述基本概念之后，如何将概念运用到实际设计当中是下面要讨论的内容。要实现这一目标，前提是要很好的了解整个系统，明确设计目标，把握关键模块。图 23 给出操作实例的设计对应的系统框图：

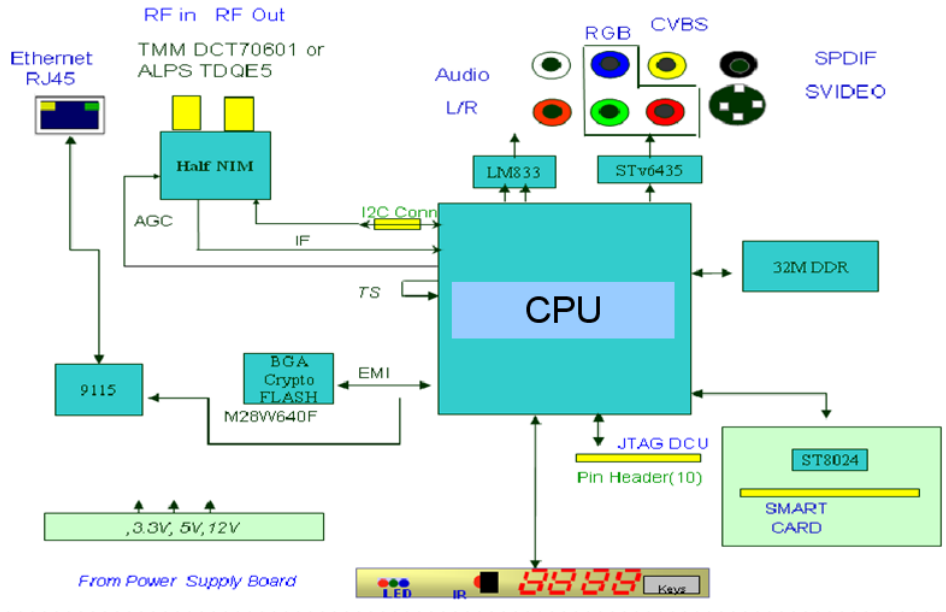
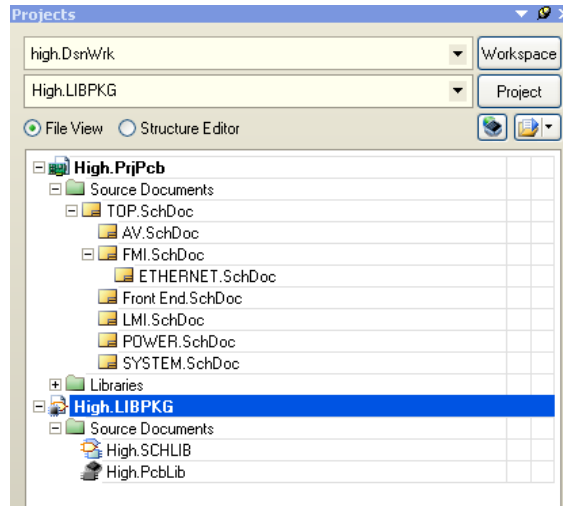


图 23 系统框图

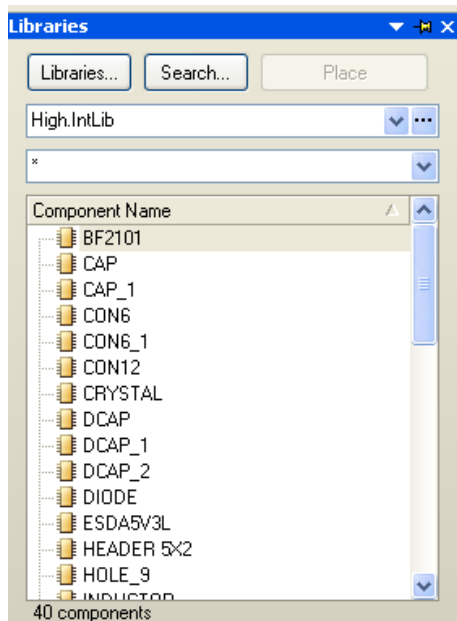
通过对系统框图的研究，了解整个系统后，将进入实际设计阶段。

第二章 使用统一、优选的集成化器件库并与物料管理系统实时关联

在 Altium Designer 中打开 high.DsnWrk，在 projects 面板下看到以下界面：



检查 High.schlib 和 High.pcblib 文件是否正常，并确定 High.Intlib 已经加载到 libraries 当中。



关于库的管理和应用操作，请参考其他课程，如 AD801 《完整 Altium Designer 板级设计流程》或 AD005 《Altium Designer 库管理》等。

第三章 原理图设计及其对 PCB 的约束与设计规划

1. 原理图阶段进行 PCB 设计规划

在 High.prjpcb 项目下，首先打开 top.schdoc，可以看到系统框图。整个系统主要由以下几个部分构成：

a) 电源模块

从外接电源板输入的 12V、5V、3.3V 经过板上的 VRM 转换为整个系统需要的各路电源并供给各模块。

b) 数字电路部分

主要包括两个模块，一个是由 CPU 的 DDR 接口与 DDR 组成的高速数字电路模块；另一个是由 CPU 的某些专用 IO 口与外设连接构成的普通数字电路模块。

c) 系统控制与时钟电路

包括系统时钟，硬件复位电路，JTAG 调试接口电路，以及一些简单的外设接口电路。

d) AV 模拟信号输出

音视频模拟信号的放大、滤波等输出电路与输出制式转换电路。

e) RF 模块

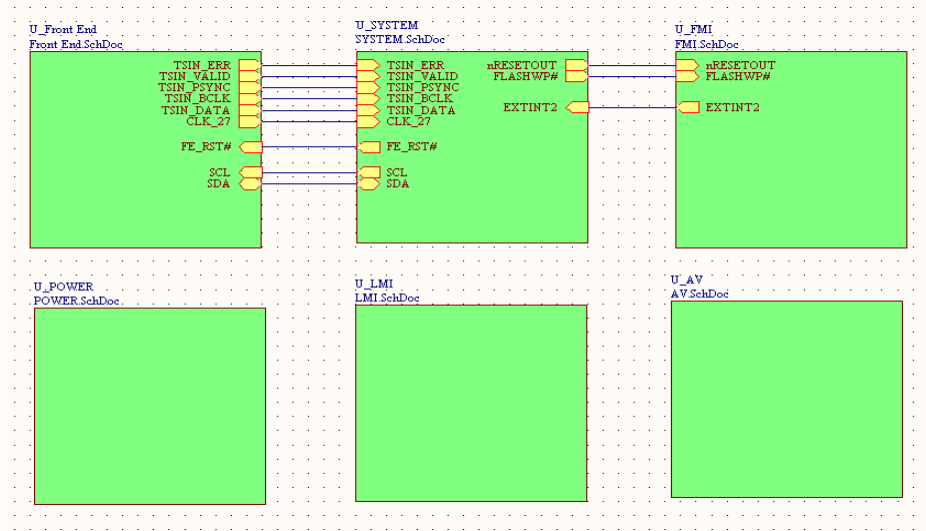
调谐器进行射频信号接收，处理后送入信道解码芯片，经过信道解码后输出 TS 流数字信号供 CPU 解码。

2. 复杂系统的原理图设计

a) 模块化、层次化、多通道设计

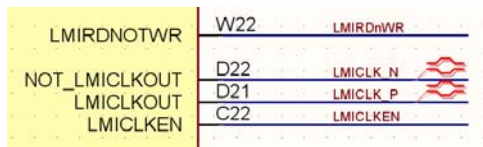
各模块划分及其层次关系已经在 TOP.SchDoc 中完成，其中 U_Power 对应电源模块，U_LMI 和 U_FMI 对应数字电路部分，U_SYSTEM 对应系统控制与时钟电路，U_AV 对应 AV 模拟信号输出，U_Front End 对应 RF 模块。此时可以采

用 top-down 的设计方法，先定义各模块的输入输出接口和功能，然后再对各模块分别进行子电路的设计，最后合成一个完整的原理图设计。



b) 差分线、总线、线束的应用

本系统中用到的差分线有以下三处：LMI 模块中的 LMICLK 信号，FrontEnd 模块中的 INP/INM 信号，以及 AV 模块中的 +/--OUTL, +/--OUTR 信号。原理图中对第一处差分对 LMICLK 进行了定义，另两处将在 PCB 中直接定义。

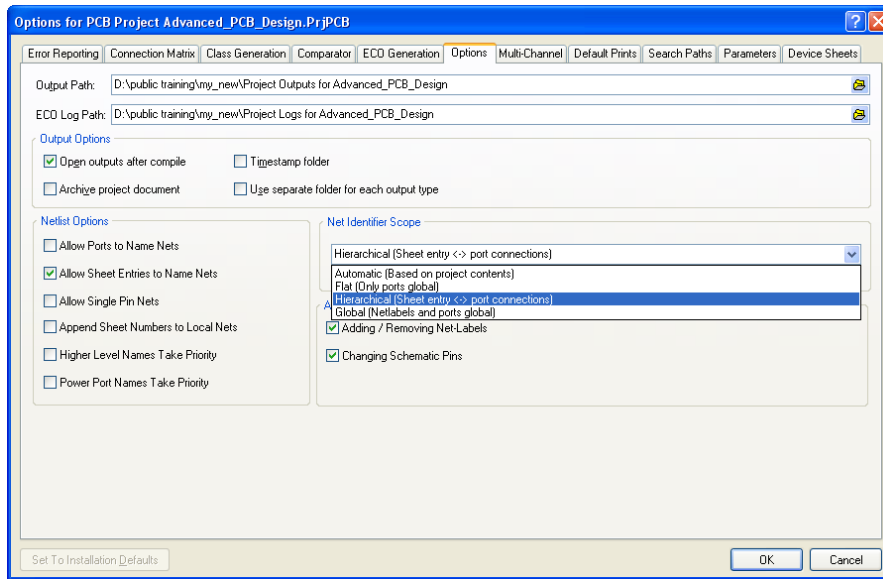


总线和线束的定义仅影响原理图的可读性，不影响 PCB 设计，此处不再赘述，详细操作可参考其它课程。

c) 端口、网络名、页间连接符的应用

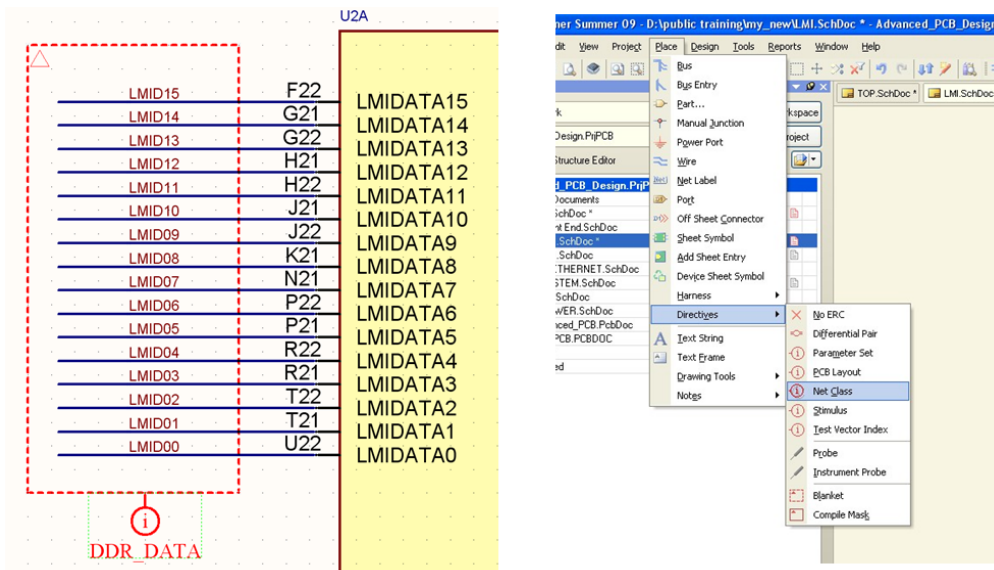
电路不同组件之间的互联主要通过端口 Port、网络名 Netlabel、页间连接符 Off Sheet Connector 来实现，它们分别适用于不同的应用并且可以灵活设置，不恰当的应用可能会引起错误的网络连接关系，违背设计意图，所以需要彻底理解每种连接符号的应用和设置，避免出错。

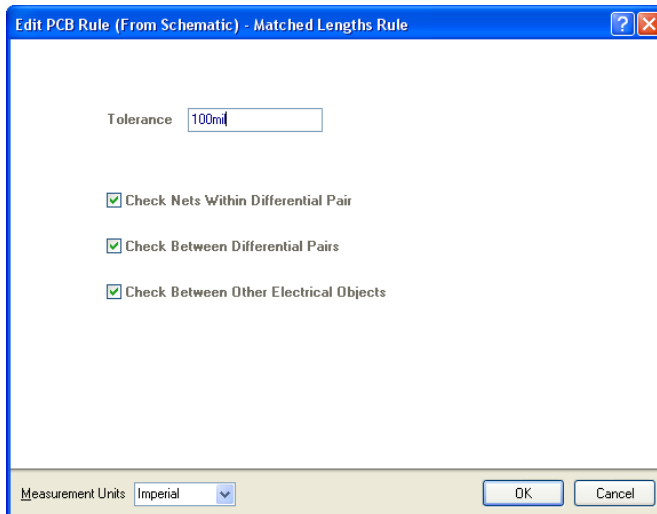
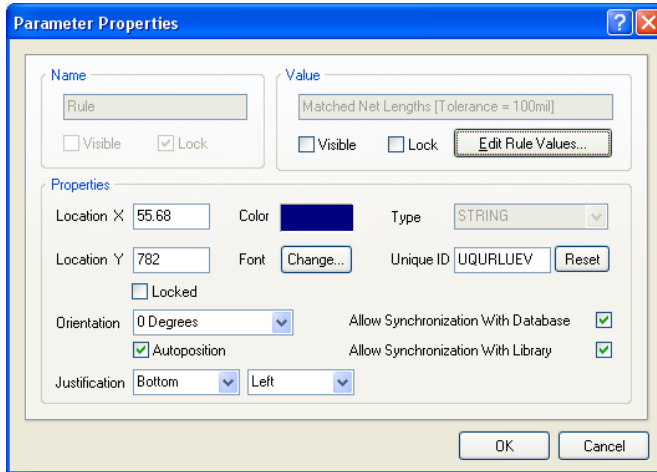
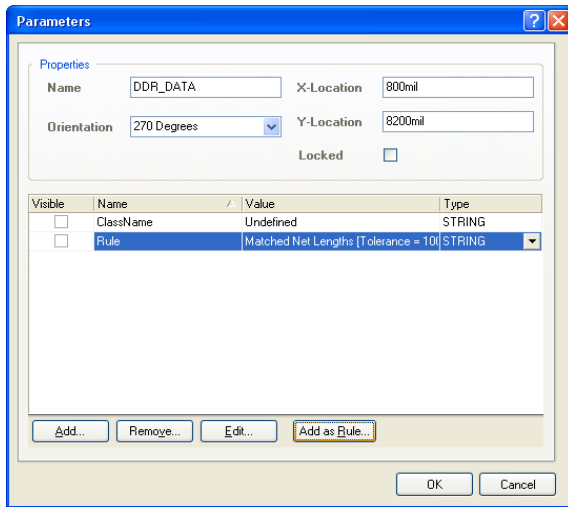




3. 原理图阶段进行 PCB 规则设置

在很多情况下，原理图设计师需要将一些设计意图传递给 PCB 设计师，对某些关键电路进行 LAYOUT 指导和约束。这时可以在原理图中添加 PCB 规则。在本例中，需要将 LMI 接口的 16 位 DATA 线定义为一个 NETCLASS，并对这个 CLASS 添加规则，要求它们等长，等长的差异小于某个值，比如 100mil：





第四章 PCB 设计前期准备

1. 叠层设计与阻抗控制

PCB 设计的第一步是要确定 PCB 的形状大小。这一点通常由结构设计来决定，本例需要设计的是一个 6500mil x 4350mil 的矩形 PCB。而 PCB 的层数是接下来需要确定的因素，PCB 层数以及 stack-up 方式会直接影响到 PCB 的布线和阻抗。多年来，人们总是认为电路板层数越少成本就越低，但是影响电路板的制造成本还有许多其他因素。近几年来，多层板之间的成本差别已经大大减小。在开始设计时最好采用较多的电路层并使敷铜均匀分布，以避免在设计临近结束时才发现有少量信号不符合已定义的规则以及空间要求，从而被迫添加新层。在设计之前认真的规划将减少布线中很多的麻烦。

作为经验参考，以下列出了 PCB 叠层设计的一些原则：

- 元件面下面（第二层）为地平面，提供屏蔽层以及为顶层布线提供参考平面
- 所有信号层尽可能与地平面相邻
- 尽量避免两信号层直接相邻
- 主电源尽可能与其对应地相邻
- 兼顾层压结构对称
- 无相邻平行布线层
- 关键信号与地层相邻，不跨分割区

具体 PCB 的层的设置时，要对以上原则进行灵活掌握，在领会以上原则的基础上，确定层的排布，切忌生搬硬套。

对于四层板，通常有以下两种方案：

- 方案一

- 2层与3层的分配要视具体情况而定，应是哪一层的走线较多或要求较高，将与其相邻的那一层定为地层。由于POWER层会有较多噪声，因此作为参考面不如GND层
- 阻抗控制芯板（GND到POWER）不宜过厚，以降低电源、地平面的分布阻抗，保证电源平面的去耦效果。

Layer1	信号层1
Layer2	GND
Layer3	Power
Layer4	信号层2

- 方案二

在个别PCB方案中，以下叠层结构不失为最佳叠层设置方案：

- 整板无电源平面，只有GND、PGND各占一个平面
- 整板走线简单，但作为接口滤波板，布线的辐射必须关注
- 该板贴片元件较少，多数为插件

由于表层仍有少量短走线，而底层则为完整的地平面，我们在S1布线层铺铜，保证了表层走线的参考平面。

Layer1	GND
Layer2	信号层1
Layer3	信号层2
Layer4	PGND

本例将会采用最为典型的四层板方案一作为叠层设计。

以下列出其他一些多层板设计方案，供参考。

六层板方案一

优点:

- 各信号层均有完整的参考层，而且没有信号层相邻，避免信号之间的串扰，S2 为最优布线层
- 电源和地层相邻，减小电源阻抗

缺点:

- 布线层只有三层，对于布线量较大的设计，只能选择其他方案或增加板层。
- 叠层不对称

Layer1	信号层1
Layer2	GND1
Layer3	信号层2
Layer4	GND2
Layer5	Power
Layer6	信号层3

六层板方案二

优点:

- 可布线层数达到4层，优选布线层为S1、S2

缺点:

- 电源和地平面不相邻，增加了电源阻抗

Layer1	信号层1
Layer2	GND
Layer3	信号层2
Layer4	信号层3
Layer5	Power
Layer6	信号层4

六层板方案三

优点:

- 电源和地平面相邻，减小电源阻抗
- 可布线层数达到4层

缺点:

- 信号层全部裸露在外
- 只有S2才有较好的参考面
- S1和S2之间、S3和S4之间信号容易串扰

Layer1	信号层1
Layer2	信号层2
Layer3	GND
Layer4	Power
Layer5	信号层3
Layer6	信号层4

八层板方案一

根据电源数量选择以下两种叠层:

Layer1	信号层1
Layer2	GND1
Layer3	信号层2
Layer4	GND2
Layer5	Power
Layer6	信号层3
Layer7	GND3
Layer8	信号层4

Layer1	信号层1
Layer2	GND1
Layer3	信号层2
Layer4	Power1
Layer5	GND2
Layer6	信号层3
Layer7	Power2
Layer8	信号层4

八层板方案二

当需要较多布线层时使用以下叠层方式：

Layer1	信号层1
Layer2	GND1
Layer3	信号层2
Layer4	信号层3
Layer5	Power
Layer6	信号层4
Layer7	GND2
Layer8	信号层5

八层板方案三

Layer1	信号层1
Layer2	GND1
Layer3	信号层2
Layer4	Power1
Layer5	Power2
Layer6	信号层3
Layer7	GND2
Layer8	信号层4

Layer1	信号层1
Layer2	GND1
Layer3	Power1
Layer4	信号层2
Layer5	信号层3
Layer6	GND2
Layer7	Power2
Layer8	信号层4

十层板方案一

Layer1	信号层1
Layer2	GND1
Layer3	信号层2
Layer4	GND2
Layer5	信号层3
Layer6	Power
Layer7	GND3
Layer8	信号层4
Layer9	GND4
Layer10	信号层5

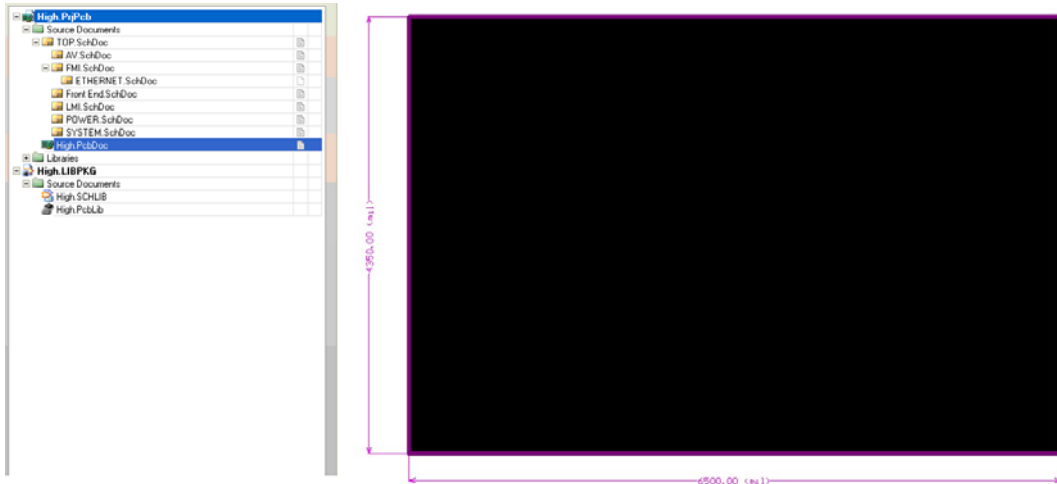
Layer1	信号层1
Layer2	GND1
Layer3	信号层2
Layer4	信号层3
Layer5	GND2
Layer6	Power
Layer7	信号层4
Layer8	信号层5
Layer9	GND3
Layer10	信号层6

十层板方案二

- 此种叠层设计方案适合于表面层器件不多，而基本上都是接插件的设计中，如高速背板的设计。

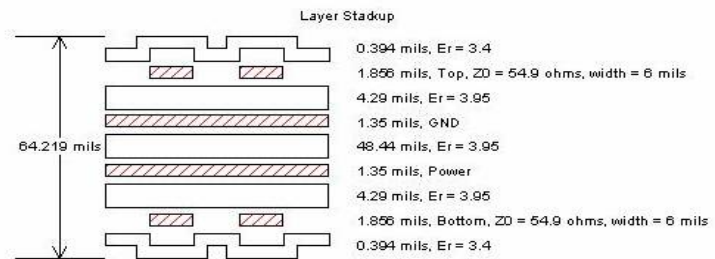
Layer1	GND1
Layer2	信号层1
Layer3	GND2
Layer4	信号层2
Layer5	GND3
Layer6	Power
Layer7	信号层3
Layer8	GND4
Layer9	信号层4
Layer10	GND5

PCB 叠层设计方案确定后，使用 PCB Board Wizard 向导，生成一个新的 PCB 文件，添加到 High.prjpcb 下，并在同一 project 目录下保存为 High.pcbdoc：

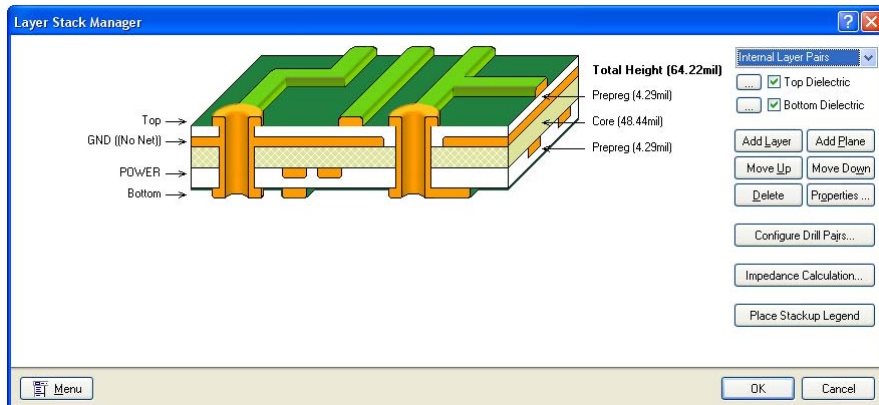


High1.PcbDoc

通过第一章的讨论，我们知道 PCB 走线的传输线模型，从而可以通过选择板材，控制叠层结构，改变走线宽度等方法来对 PCB 走线的特征阻抗进行控制。阻抗控制的前提是要了解制板工艺，可实现的板材、叠层、线宽的组合才能得到可实现的阻抗。通过与制板工厂的沟通，为了得到近似 50ohm 的特性阻抗，采用右图的组合，并将叠层信息输入到

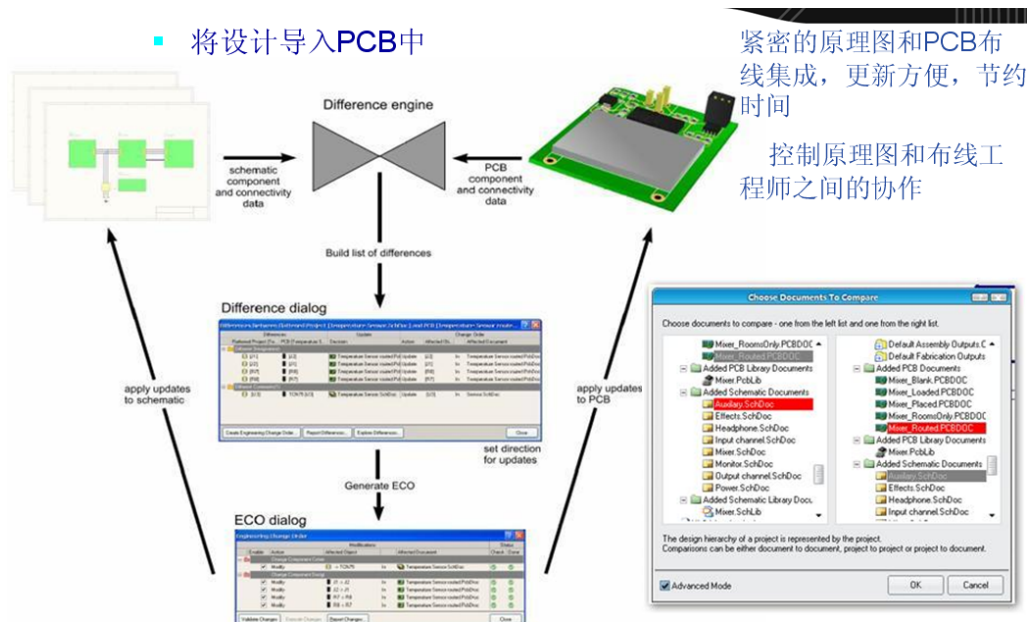


layer stack manager 当中：

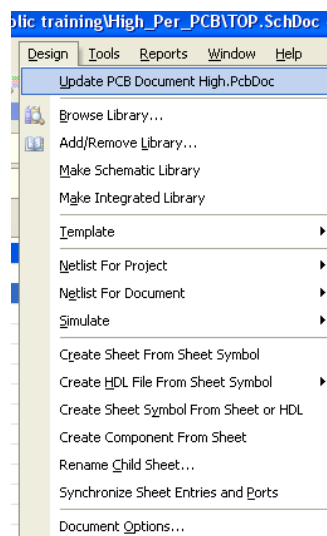


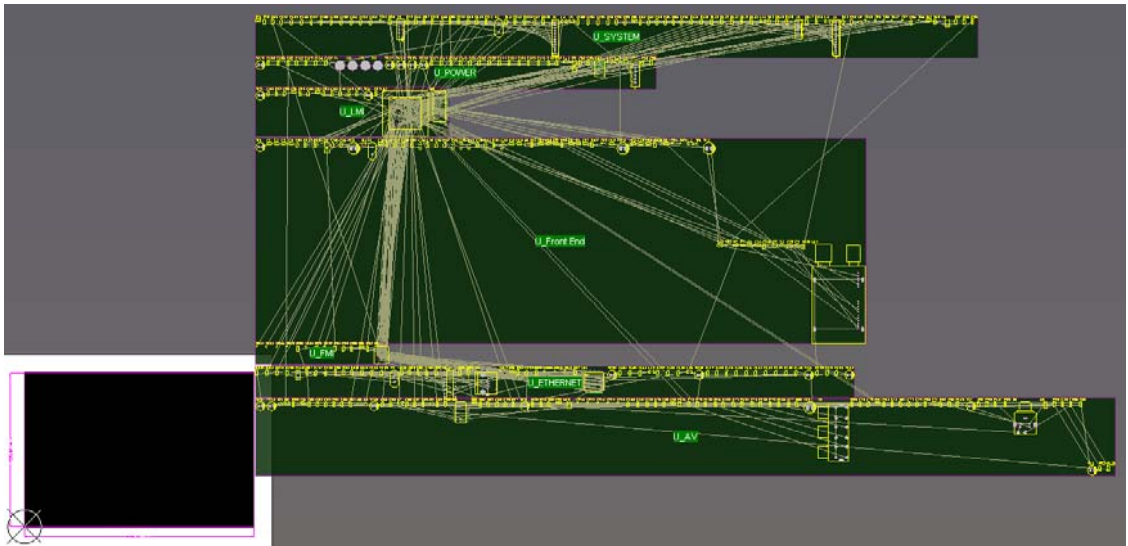
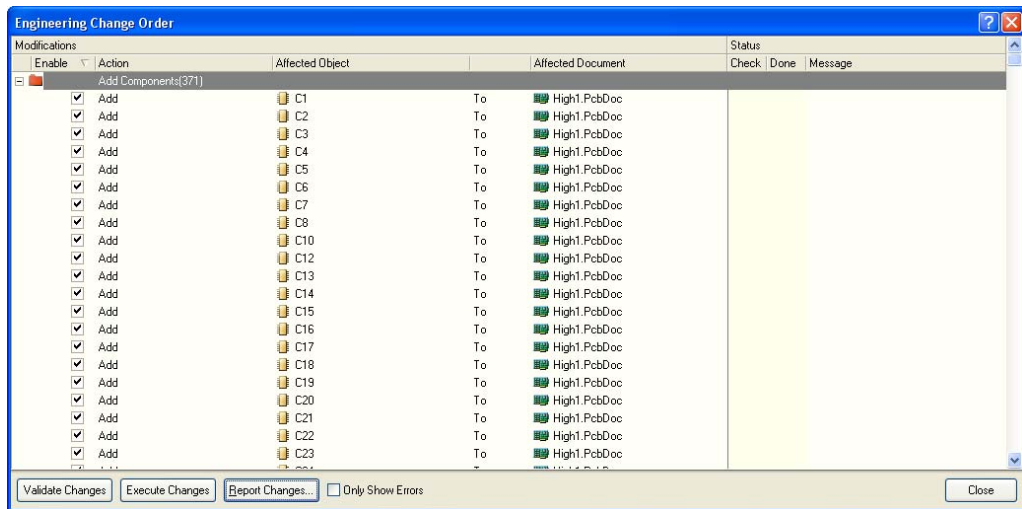
2. 原理图与 PCB 的双向同步

原理图设计完成后需要将设计信息传递给 PCB，这时需要进行从原理图到 PCB 的同步（在此之前首先应该编译原理图进行 ERC 检查，有关 ERC 的设置可参考其他课程）。而当 PCB 设计进行中如果对连接关系等设计信息有了一些修改需要直接将修改的信息传递回原理图，也可以执行从 PCB 到原理图的同步。



在 High.prjpcb 下执行原理图到 PCB 的同步：





High2.PcbDoc

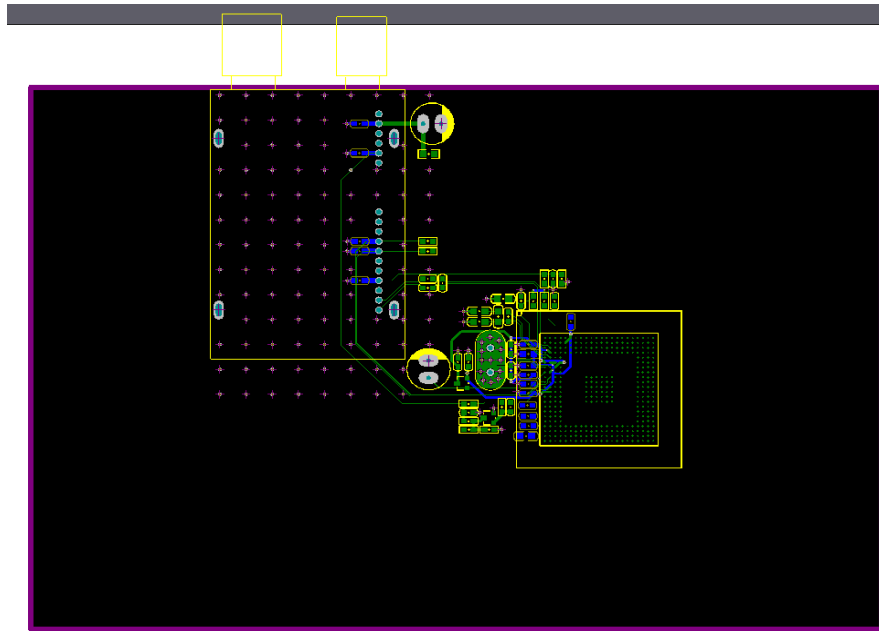
3. 成熟模块的设计复用

执行同步之后，可以看到 PCB 中导入了所有的元器件及其相互之间的连接关系。并且所有的元器件都是分 ROOM 放置的，ROOM 的默认划分来自原理图信息，原理图中的每一页对应了 PCB 中的一个 ROOM，所以同一页原理图中的器件在 PCB 中被放置在同一个 ROOM 中。而在 PCB 中也可以对 ROOM 进行重新编辑或新增，删除 ROOM。

对于设计中的一些比较成熟的模块，可能会经常在不同的 PCB 中被反复使用，

这些模块的设计如果可以直接延用一个成熟的案例，既可以大大节约时间，也可以确保系统的性能。将这些模块的原理图和 PCB layout 分别做成一些 Snippets，作为设计片段保存起来，每次用到的时候直接调用即可。

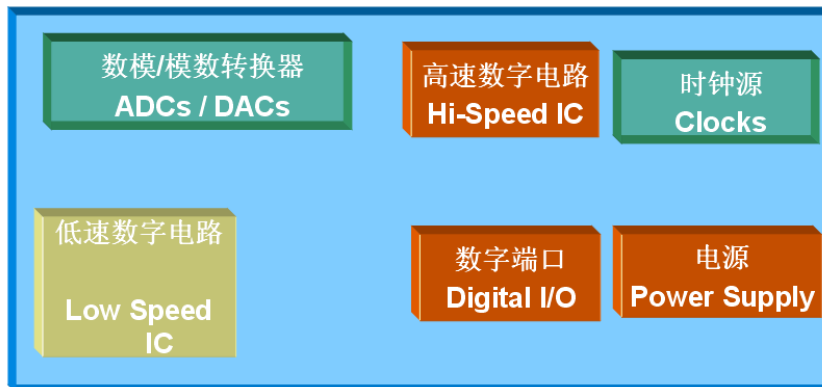
本例中的 FrontEnd 模块因为牵涉到 RF 电路，为了确保系统性能，直接调用成熟的设计片段。首先找到 FrontEnd 模块所牵涉到的所有器件，在 PCB 文件予以删除，然后使用 snippet，将预先保存好的片段调用进来。



High3.PcbDoc

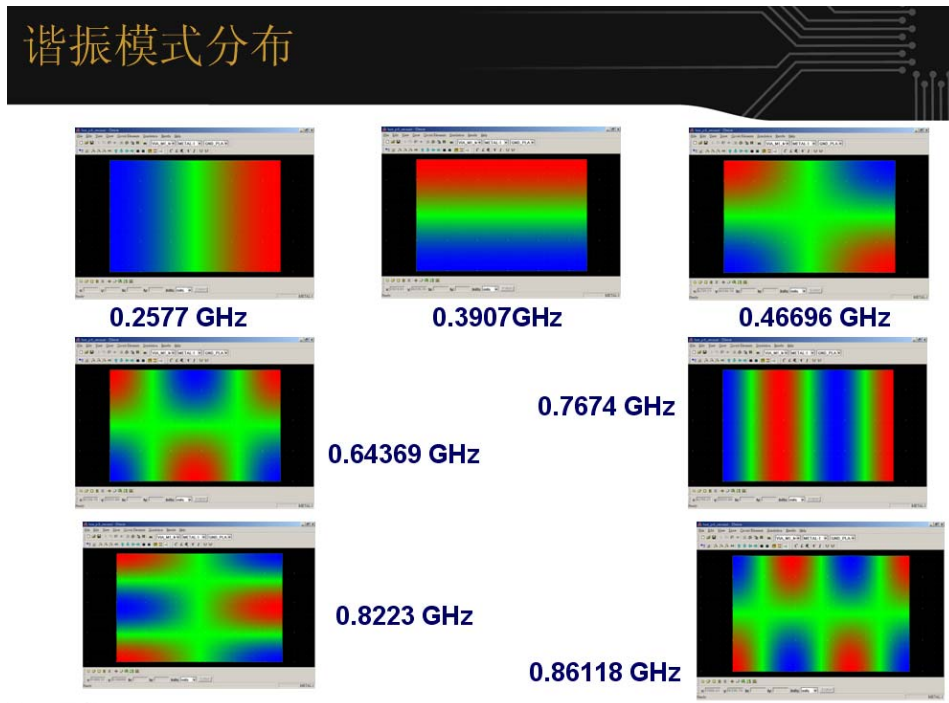
4. 关键模块和元器件的布局

在电子系统设计中，理想的器件布局应当如下图所示：



其中优先考虑的是高速数字电路部分，应当使高速数字电路距离其他模块的距离尽可能的近，尤其是距离电源模块和时钟电路。这样可以使得高速信号线和时钟线尽量缩短，供电网络也尽量简单，得到较低的 PDN 阻抗。

而在第一章中提到的平面间谐振也对布局有着很大的影响，观察下列一组图片，可以看到，在大多数情况下，一个矩形 PCB 的中心位置是出于谐振的波节位置，也就是振荡比较弱的区域，将关键的高速电路放在 PCB 的中央，可以减少激发振荡的可能性。

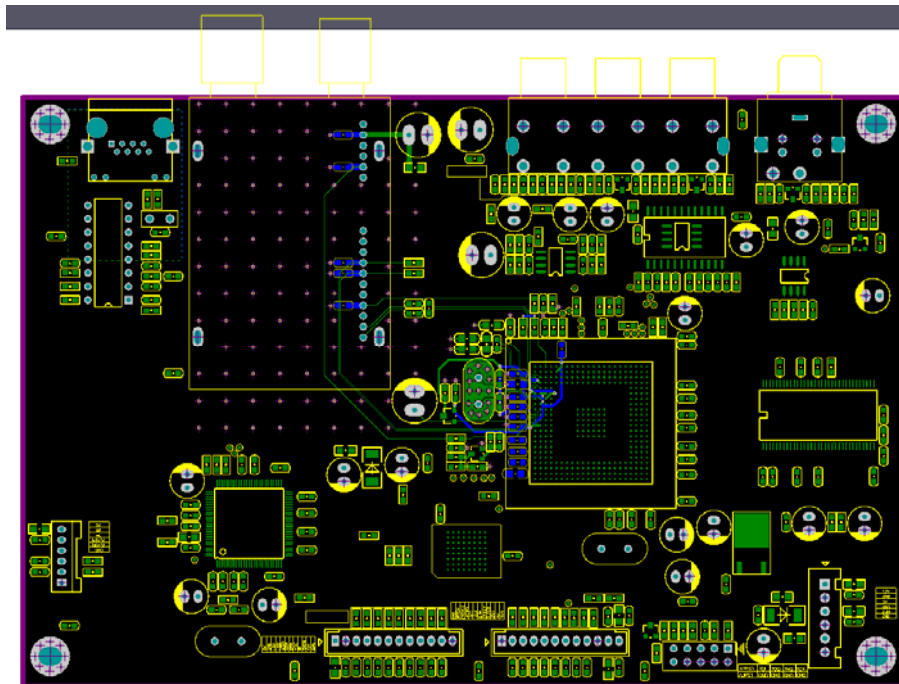


在综合考虑上述原因，再结合结构设计的要求，得到初步的各模块的分布如下，其中 Front_End 模块已经调用 Snippets 得到了局部完整的布局布线：



High4.PcbDoc

再进一步确定每个器件的位置，得到走线之前的元器件布局，在走线过程中以及铺铜、放置去耦电容和过孔时还可能对某些器件的位置进行调整：



High5.PcbDoc

5. 设计规则的应用

为了高效的应用设计规则，设计人员需要理解规则的类型、对象、优先级等概念。

- **一元型规则：**只约束一个对象，只需定义该对象的范围和需要遵循的规则。如线宽限制，首先定义的是哪些线需要遵守这条规则，比如所有的信号线；然后定义这些线的宽度需要遵循什么样的规则，比如全部宽 6mil。
- **二元型规则：**约束一个对象和另外一个对象之间的关系。因此二元型规则需要定义两个对象的范围及其之间的关系需要遵循的规则。例如：一组线到一块铜皮之间的距离，首先要定义这组线的范围，比如所有 TOP 层的 3.3V 电源网络走线；然后定义这块铜皮，比如 TOP 层的 GND 网络铜皮；最后再描述他们之间的关系，比如间距大于 8mil。
- 当多条规则定义的对象范围有交叠时，则需要有优先级来控制不同规则的生效。例如，我们首先定义了规则一：所有两个不同网络的对象之间，间距都要大于 6mil；然后又定义了规则二：所有 TOP 层的 3.3V 电源网络走线与 TOP 层的 GND 铜皮之间间距大于 8mil。显然这两条规则的对象范围是包含关系，如果想要规则二生效，则应该使得规则二的优先级高于规则一，否则规则二的存在就毫无意义了。
- **DRC 的检测设置**分为实时检测和批处理检测两种类型。实时检测可以在违规现象发生的同时立即给出提示，这种检测适合初级设计者，一旦错误发生马上予以提醒，优点是及时避免错误，缺点是过于死板，而且占用计算机资源较多，延缓设计速度。而批处理检测则是在设计到达某一阶段，由设计者主动运行 DRC 检查来报告违规，由设计者自行决定如何处理违规现象，这种检测适合错误较少的高级设计者，用来检查一些疏忽造成的违规，当违规累积过多时，修改起来则相对困难。

有关规则定义在 Altium Designer 中的详细操作可参考其他课程。

常规PCB设计规则简介

- 走线不能走直角,走45度角,高频线拐角可以采用圆弧。
- 信号层相邻的走线要求正交走线,不可平行布线,特别对于一些高速的时钟或信号线。
- 高速信号的走线要求:要减少并行线的长度,如果并行线长,可采用jog型走线,减少耦合串扰。
- 原则上集成芯片的每个电源引脚处配置一个0.01u或0.1u的高频电容。去耦电容的引线不能过长,特别是高频旁路电容不能带引线。
- 晶振等器件下面一般不要布线。
- BGA焊盘区避免通孔,如有通孔必须覆盖好绿油;焊盘间的短接线宽度应避免大于焊盘直径的1/2,短接线必须覆盖绿油。另外,各过孔在没有特别要求的情况下均应涂覆绿油。
- 细间距IC引线焊盘之间如没有涂覆绿油,其焊盘之间严禁直接用短接线相连,应用引出线在外连接并覆盖绿油。

常规PCB设计规则简介

- 在晶振/时钟芯片下加地敷铜防止串扰。
- 在高速PCB设计中,从成本和信号质量两方面考虑,选择合理尺寸的过孔大小。可以选用10/20Mil(钻孔/焊盘)的过孔,或者12/25Mil, 8/18Mil等。
- 由于大部分高速PCB均有多层GND,因此在PCB设计完成之后,可以在PCB板的周边及较空余的地方放置大量的GND过孔。以减小各层GND之间的阻抗。
- 对于大部分设计可以将地电的过孔敷铜设置为Direct connection,但是对于元件的Pin一般使用花孔连接,以保证工艺上焊接的要求。但对于较大电流的器件Pin可以使用直连。
- 一般情况下,串行端接电阻应靠近发送端器件引脚摆放,并行端接的器件应靠近接收端口。

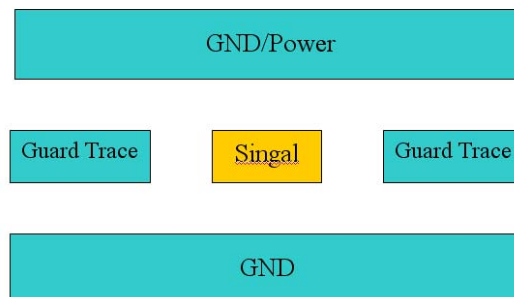
常规PCB设计规则简介

- 在放置电感时需注意：在元件面的两个平行放置的电感将会构成变压器，因此在布局时应尽量避免这种情况的发生。
- 要求模拟与数字空间隔离；接口模块与主控模块空间隔离；输入和输出隔离。
- 在PCB底面放置元件时要考虑结构所允许的元件最高尺寸。
- 元器件放置要考虑散热：主发热元件要靠近出风口，大体积元件的放置要避免风路，以免挡风。
- 由于较大型的PCB中间部分容易变型弯曲，因此如结构允许的话，BGA封装的元器件要避免放置于PCB正中间等易变形区。
- 带金手指的印制板若有拼板时，为防止V-CUT时切到金手指，金手指的边距离与之相拼的板边最好留有0.5mm以上的距离

常规PCB设计规则简介

“包地”处理：

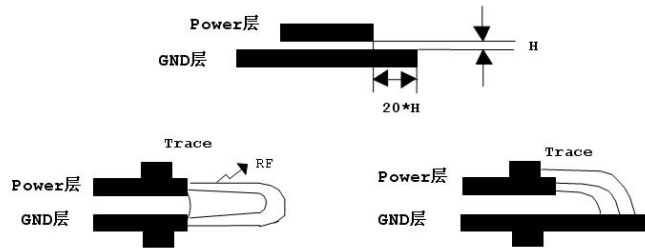
对于高速的时钟或者信号线，可以布在最优布线层（如两个GND层之间，或者GND和Power之间），即带状线的类型；同时在信号线周围加布Guard Trace，一般都使用GND，即我们常说的“包地”处理。如下图所示。



常规PCB设计规则简介

20-H 准则:

即Power层板边缘小于它与GND层间距的20倍。如下图:



在20H时，达到70%的磁通量边界

在100H时，达到98%的磁通量边界

常规PCB设计规则简介

3-W准则:

线与线之间的距离保持3倍线宽。为了减少线间串扰，应保证线间距足够大，如果线中心距不少于3倍线宽时，则可保持70%的线间电场不互相干扰，称为3W规则。如要达到98%的电场不互相干扰，可使用10W规则。

讨论:

W or H, 哪个更重要?

第五章 PCB 设计中期

1. 各功能模块的注意事项

➤ 电源模块

- 走线尽量粗、过孔尽量大。载流能力跟线宽、铜厚、板材、环境温度、散热条件等相关，无需迷信经验公式。
- 器件布局要合理，顺着电流方向排布
- 去耦电容的摆放很重要，小电容要靠近器件，大电容相对可以较远。

➤ 数字电路

对于高速数字电路要综合考虑 SI/PI/EMI：阻抗控制，匹配，等长，去耦，避谐振，控制辐射等。低速数字电路则相对简单，布局布线合理美观即可。

➤ 时钟电路

- 走线尽量短。布局时就要考虑将时钟源尽量靠近目的器件，当出现多个目的器件时要综合考虑。
- 时钟信号尽量不要换层，携带丰富高频能量的时钟过孔在层间极易引起谐振。选择贴片的晶振器件比起直插器件要好很多。
- 在晶振或时钟芯片的周围尽可能的包地，不同层的地之间尽量用过孔连接，必要时可将晶振外壳接地。
- 其他信号线尽量远离晶振或时钟芯片。

➤ 模拟信号

常见的模拟电路一般频率较低，在 PCB 设计中其自身的问题主要体现在信噪比，隔离度等指标要求上，所以对模拟信号的 PCB 处理主要是远离高速数字电路等干扰源，避免模拟信号本身相互之间的串扰，处理好电源和地平面，尤其是数模混合部分的设计。

➤ RF 模块

相对较为复杂，一般由专门的 RF 工程师来设计 RF 模块，靠长期的经验和有效的仿真来指导设计。在整个 PCB 设计中尽量复用成熟的 RF 模块。

2. 高速高密度 PCB 走线

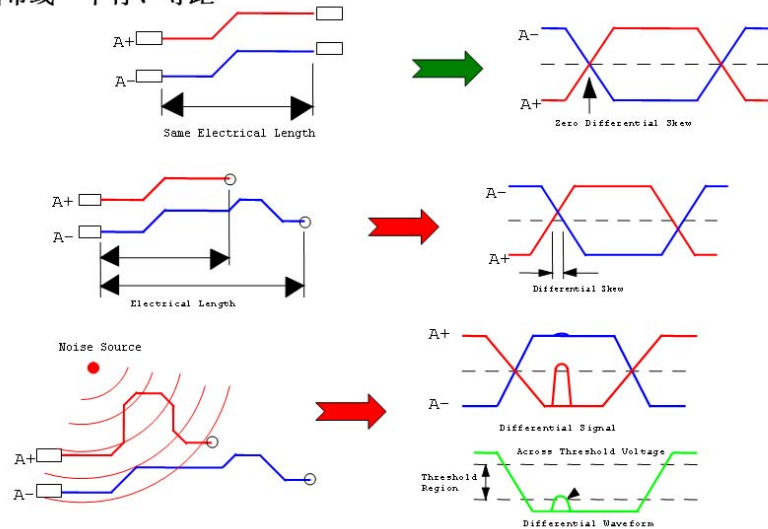
a) 等长的目的和实现方法

通常等长有两种，一种是差分对的两根线之间等长；另一种是一组总线及其时钟线，控制线等等之间的等长。

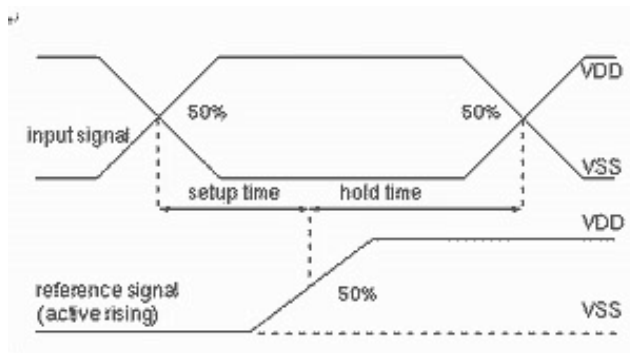
- 对于差分对，不仅要等长，而且要尽量做到平行、等距、结构对称，才能最大限度的发挥差分对的抗干扰优势：
 - 一般一对差分线对布在同一层，不建议布在相邻层进行耦合。
 - 不同的差分信号线对之间不要平行走线，最好差分信号线之间有地隔开和走在不同的层上。并注意差分对的发送和接收线对之间的串扰。
 - 差分线对之间的空间不要打过孔！
 - 目前大部分设计均建议采用紧耦合的方式，一般不使用松耦合（即在差分线对之间增加 GND 布线或铜皮）的方式。

差分的特点和注意事项

差分线布线—平行、等距



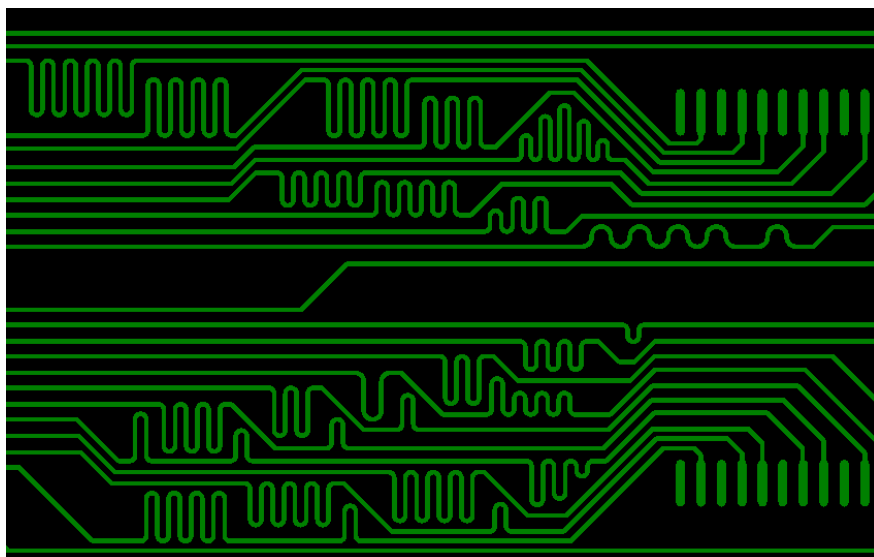
- 对于总线，等长的目的主要是出于时序的考虑第一章中已经提到过 Setup



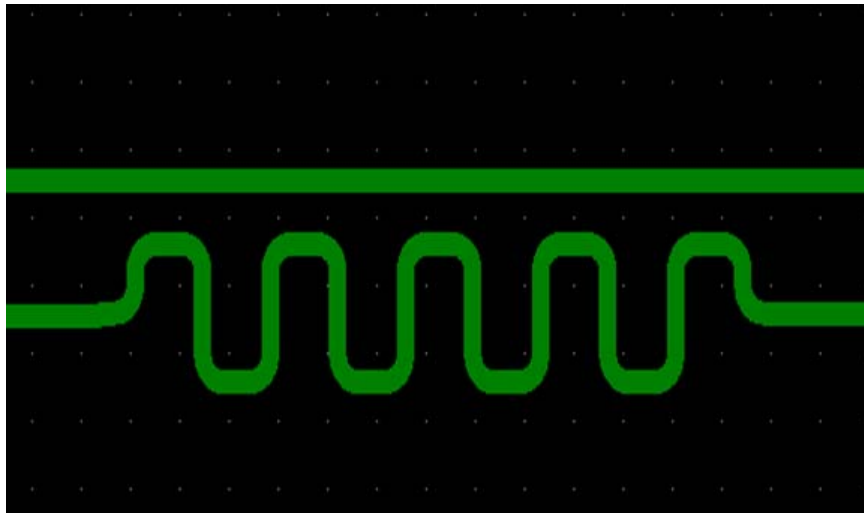
Time 和 Hold Time 的概念。在同步时钟系统中，信号与时钟由源端出发时已经建立了符合要求的时序关系，即足够的 Setup

Time 和 Hold Time，如果经过 PCB 传输到达目的端时，信号的延时和时钟的延时不一致，则原来的时序关系就会遭到破坏。在同一块 PCB 中，板材、线宽等其他参数相同时，引起两根线延时不一致的最大原因就是线长不一致，因此等长布线可以尽量保证信号与时钟之间的时序关系不被破坏。对于一组总线，所有的信号都应该跟时钟“对齐”，所以一组信号线及其时钟线、控制线全部等长，有利于保证数字系统的正常时序。当然，绝对等长是很难实现的，只要不等长的程度控制在一定的范围内即可。

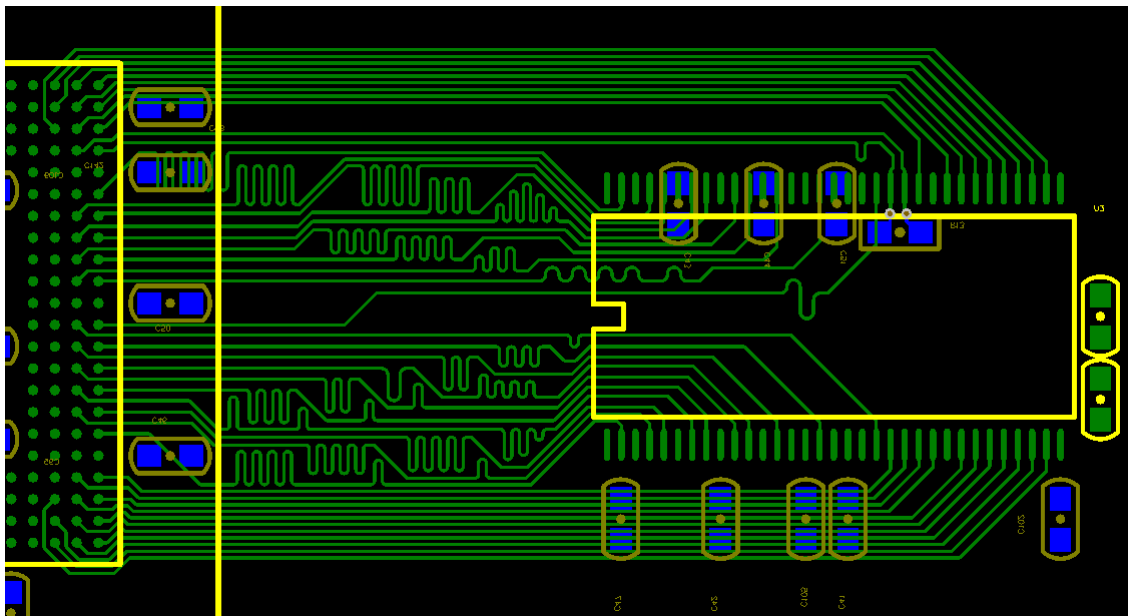
- 为了实现等长，最直接的方法就是绕线，以最长的线为目标，对其他的线通过绕线来增加长度，直到长度与最长的那根一致。



- 由于电磁场在空间的耦合效应，当一根短线通过绕线达到长度与一根直线相同时，信号在这根线上的延时还是会比直线略小，因此有时会对绕线做一些补偿，即稍微多绕一段，具体补偿多少，需要经验和仿真的指导。同时，为了减少这种空间耦合，在允许的情况下应尽量增大绕线的 GAP：



针对 DDR_DATA 这一 NetClass 进行等长布线，而对速度相对较低的 DDR 地址线和其他控制线采用最短布线进行连接：



High6.PcbDoc

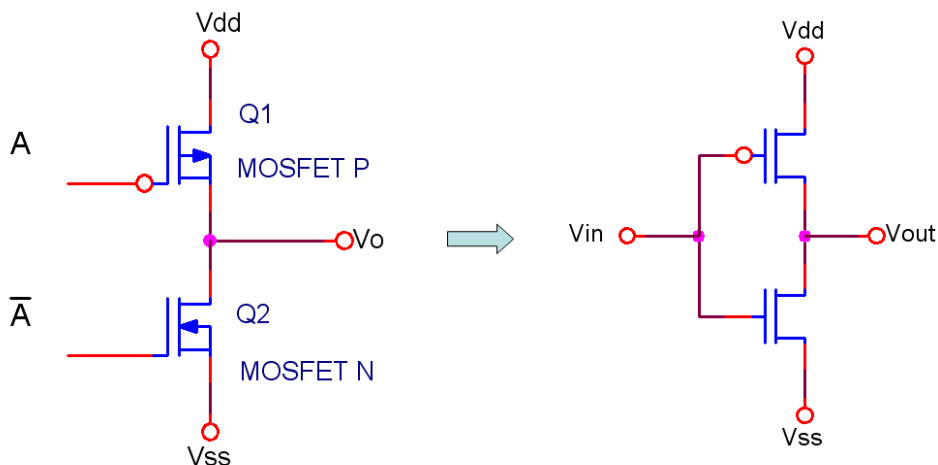
b) 阻抗控制的目的是和阻抗匹配的实现方法

通过第一章的讨论可知，当信号传输到阻抗不连续的面时，将会发生反射现象。在高速数字电路 PCB 中，信号从 Driver 芯片的输出端到达 PCB 走线时，有可能会出现阻抗不连续，同样，芯片从 PCB 走线到达 Receiver 芯片时，也有可能会出现阻抗不连续。虽然我们一般忽视从 Driver 到 PCB 走线时反射到 Driver 内的能量，直接从 Driver 输出端开始考察，但是当能量从 Receiver 端反射回 PCB 后，反射的能量到达 Driver 端时仍然会产生二次反射，如此反复，会带来较大的过冲和下冲。为了解决这个问题，我们首先要确定 Driver 芯片的输出内阻、Receiver 芯片的输入内阻，以及 PCB 走线的特性阻抗。芯片的输入输出内阻已经由芯片的设计决定，而 PCB 设计者能做的就是控制 PCB 走线的阻抗，并且通过适当的手段来实现 PCB 走线和 Driver 以及 Receiver 的阻抗匹配。

前文已经介绍过 PCB 走线的阻抗控制及其实现方法，主要是通过控制线宽、铜皮厚度、走线到参考平面的距离（通常是层间距离）、层间介质（板材）的介电常数这 4 个因素来实现。

在讨论阻抗匹配之前，首先研究一下 Driver 的输出内阻和 Receiver 的输入内阻。

下图是一个典型的 IC 输入输出的 I/O Buffer 结构



当 I/O Buffer 作为输出时，其内阻为一个 MOS 管导通时的沟道电阻，这个值通常较小，在十几欧或几十欧的量级。而当 I/O 作为输入时，其内阻为 MOS

管的 G 极看进去的电阻，近似为无穷大。所以，为了消除 Receiver 端的一次反射，需要使 PCB 走线的特性阻抗 Z_0 与无穷大的 R_L 匹配，此时有效的办法是并行端接。而为了消除 Driver 端的二次反射，则需要将 Z_0 与较小的 R_0 匹配，此时需要做串行端接。从系统设计的角度，应首选并行端接，因其是在信号能量反射回源端之前在负载端消除一次反射，这样可以更快的减小噪声，而串行端接则是在源端消除由负载端反射回来的信号，这样只是消除了二次反射。但由于并行端接实现起来简单方便，在许多应用中也广泛采用。两种端接策略各有其优缺点，下面就简要介绍这两类主要的端接方案。

➤ 并行端接 (parallel termination)

并行端接主要是在尽量靠近负载端的位置加上拉和/或下拉阻抗以实现终端的阻抗匹配，根据不同的应用环境，并行端接又可分为以下几种类型：

● 简单的并行端接

这种端接方式是简单地在负载端加入一下拉到地的电阻 R_T ($R_T = Z_0$) 来实现匹配，如图 24 所示。采用此端接的条件是驱动端必须能够提供输出高电平时的驱动电流以保证通过端接电阻的高电平电压满足门限电压要求。在输出为高电平状态时，这种并行端接电路消耗的电流过大，对于 50Ω 的端接负载，维持 TTL 高电平消耗电流高达 48mA ，因此一般器件很难可靠地支持这种端接电路。

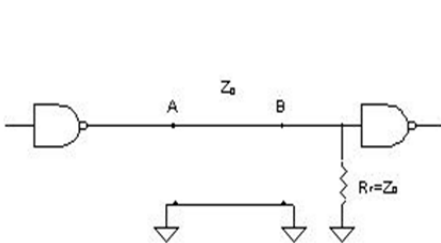


图 24 简单并行端接

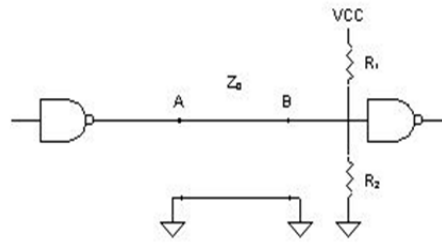


图 25 戴维宁并行端接

● 戴维宁(Thevenin)并行端接

戴维宁端接即分压器型端接，如图 25 所示。它采用上拉电阻 R_1 和下拉电阻 R_2 构成端接电阻，通过 R_1 和 R_2 吸收反射。 R_1 和 R_2 阻值的选取由下面的条件决定。 R_1 的最大值由可接受的信号的最大上升时间(是 RC 充放电时间常数的函数)决定， R_1 的最小值由驱动源的吸电流数值决定。 R_2 的选择应满足当传输线断开时电路逻辑高电平的要求。戴维宁等效阻抗可表示为：

$$R_T = \frac{R_1 R_2}{R_1 + R_2}$$

这里要求 R_T 等于传输线阻抗 Z_0 以达到最佳匹配。此端接方案虽然降低了对源端器件驱动能力的要求，但却由于在 V_{CC} 和地之间连接的电阻 R_1 和 R_2 从而一直在从系统电源吸收电流，因此直流功耗较大。

● 主动并行端接

在此端接策略中，端接电阻 R_T ($R_T = Z_0$) 将负载端信号拉至一偏移电压 V_{BIAS} ，如图 25 所示。 V_{BIAS} 的选择依据是使输出驱动源能够对高低电平信号有汲取电流能力。这种端接方式需要一个具有吸、灌电流能力的独立的电压源来满足输出电压的跳变速度的要求。在此端接方案中，如偏移电压 V_{BIAS} 为正电压，输入为逻辑低电平时有 DC 直流功率损耗，如偏移电压 V_{BIAS} 为副电压，则输入为逻辑高电平时有直流功率损耗。

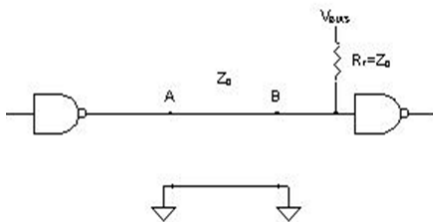


图 26 主动并行端接

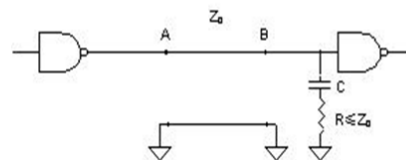


图 27 并行 AC 端接

● 并行 AC 端接

如图 27 所示，并行 AC 端接使用电阻和电容网络(串联 RC)作为端接阻抗。端接电阻 R 要小于等于传输线阻抗 Z_0 ，电容 C 必须大于 100pF，推荐使用 0.1uF 的多层陶瓷电容。电容有阻低频通高频的作用，因此电阻 R 不是驱动源的直流负载，故这种端接方式无任何直流功耗。

● 二极管并行端接

某些情况可以使用肖特基二极管或快速开关硅管进行传输线端接，条件是二极管的开关速度必须至少比信号上升时间快 4 倍以上。在面包板和底板等线阻抗不好确定的情况下，使用二极管端接即方便又省时。如果在系统调试时发现振铃问题，可以很容易地加入二极管来消除。典型的二极管端接如图 28 所示。肖特基二极管的低正向电压降 V_f (典型 0.3 到 0.45V) 将输入信号钳位到 $-V_f$ 和 $V_{CC} + V_f$ 之间。这样就显著减小了信号的过冲和下冲。在某些应用中也可只用一个二极管。二极管端接的优点在于：二极管替换了需要电阻和电容元件的戴维宁端接或 RC 端接，通过二极管钳位减小过冲与下冲，不需要进行线的阻抗匹配。尽管二极管的价格要高于电阻，但系统整体的布局布线开销也许会减少，因为不再需要考虑精确控制传输线的阻抗匹配。二极管端接的缺点在于：二极管的开关速度一般很难做到很快，因此对于较高速的系统不适用。

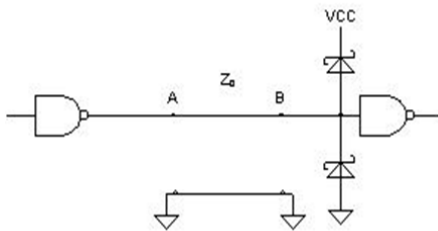


图 28 肖特基二极管端接

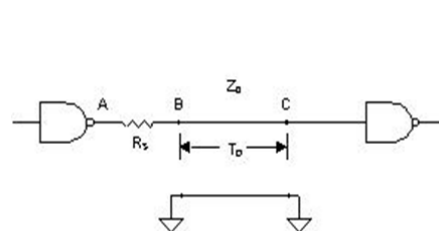


图 29 串行端接

➤ 串行端接 (series termination)

串行端接是通过在尽量靠近源端的位置串行插入一个电阻 R_s (典型值 10Ω 到 75Ω) 到传输线中来实现的, 如图 29 所示。串行端接是匹配信号源的阻抗, 所插入的串行电阻阻值加上驱动源的输出阻抗应大于等于传输线阻抗(轻微过阻尼)。这种策略通过使源端反射系数为零从而抑制从负载反射回来的信号(负载端输入高阻, 不吸收能量)再从源端反射回负载端。

串行端接的优点在于: 每条线只需要一个端接电阻, 无需与电源相连接, 消耗功率小。当驱动高容性负载时可提供限流作用, 这种限流作用可以帮助减小地弹噪声。串行端接的缺点在于: 当信号逻辑转换时, 由于 R_s 的分压作用, 在源端会出现半波幅度的信号, 这种半波幅度的信号沿传输线传播至负载端, 又从负载端反射回源端, 持续时间为 $2TOF$ (TOF 为信号源端到终端的传输延迟), 这意味着沿传输线不能加入其它的信号输入端, 因为在上述 $2TOF$ 时间内会出现不正确的逻辑态。并且由于在信号通路上加接了元件, 增加了 RC 时间常数从而减缓了负载端信号的上升时间, 因而不适合用于频率很高的信号通路(如高速时钟等)。

➤ 多负载的端接

在实际电路中常常会遇到单一驱动源驱动多个负载的情况, 这时需要根据负载情况及电路的布线拓扑结构来确定端接方式和使用端接的数量。一般情况下可以考虑以下两种方案。

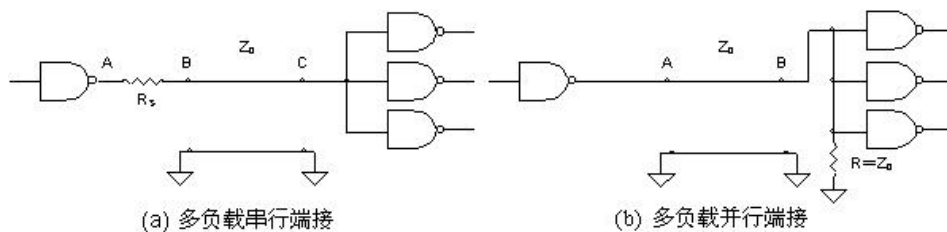


图 30 近距离负载端接

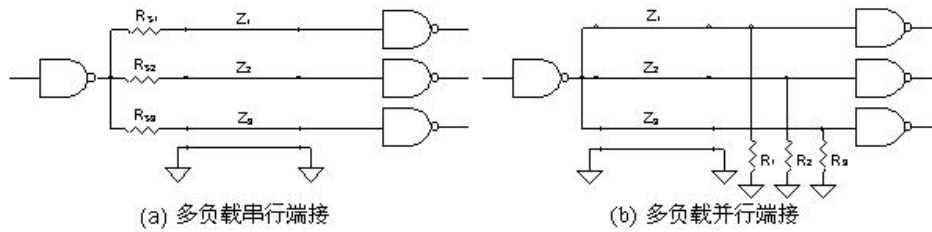


图 31 远距离负载端接

如果多个负载之间的距离较近,可通过一条传输线与驱动端连接,负载都位于这条传输线的终端,这时只需要一个端接电路。如采用串行端接,则在传输线源端加入一串行电阻即可,如图 30(a)所示。如采用并行端接(以简单并行端接为例),则端接应置于离源端距离最远的负载处,同时,线网的拓扑结构应优先采用菊花链的连接方式,如图 30(b)所示。

如果多个负载之间的距离较远,需要通过多条传输线与驱动端连接,这时每个负载都需要一个端接电路。如采用串行端接,则在传输线源端每条传输线上均加入一串行电阻,如图 31(a)所示。如采用并行端接(以简单并行端接为例),则应在每一负载处都进行端接,如图 31(b)所示。

➤ 不同工艺器件的端接策略

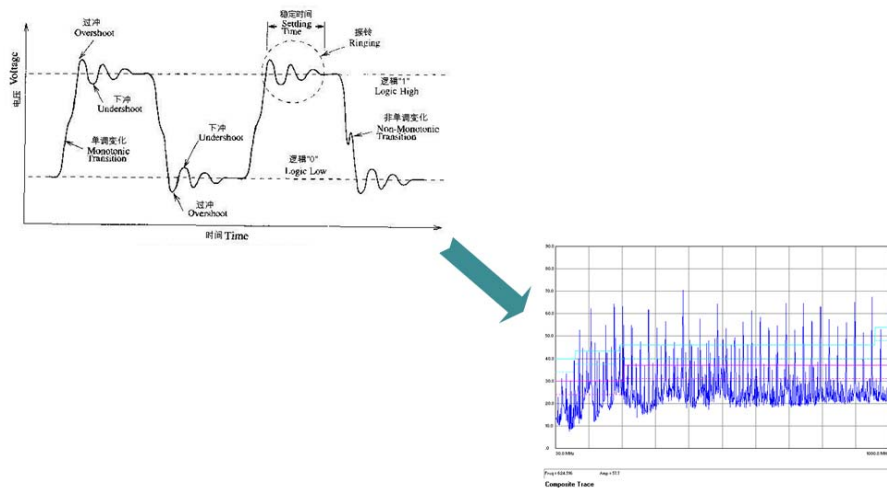
阻抗匹配与端接技术方案随着互联长度和电路中逻辑器件的家族在不同也会有所不同,只有针对具体情况,使用正确适当的端接方法才能有效地减小信号反射。一般来说,对于一个 CMOS 工艺的驱动源,其输出阻抗值较稳定且接近传输线的阻抗值,因此对于 CMOS 器件使用串行端接技术就会获得较好的效果。而 TTL 工艺的驱动源在输出逻辑高电平和低电平时其输出阻抗有所不同,这时,使用并行戴维宁端接方案则是一种较好的策略。ECL 器件一般都具有很低的输出阻抗,因此,在 ECL 电路的接收端使用一下拉端接电阻(下拉电平需要根据实际情况选取)来吸收能量则是 ECL 电路的通用端接技术。

当然,上述方法也并非绝对,具体电路的差别、网络拓扑结构的选取、接收端负载数等都是影响端接策略的因素,因此在高速电路中实施电路的端接方案时,需要根据具体情况通过分析仿真来选取合适的端接方案以获得最佳的端接效果。

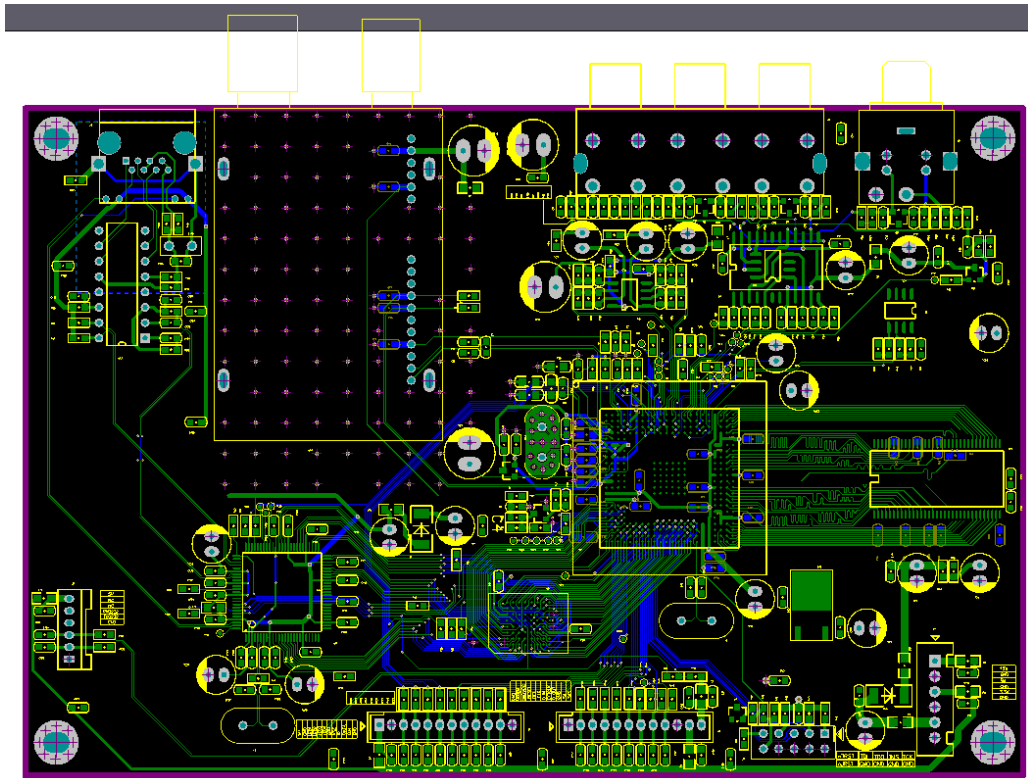
c) 如何在 SI 和 EMI 的矛盾中权衡折中

在复杂电子系统中，SI 和 EMI 的问题往往是密切相关、互相影响的。首先，SI 中典型的过冲和下冲问题，会造成高次谐波能量增大，引起 EMI 辐射超标。所以无论从优化信号质量的角度，还是从控制辐射的角度，都希望减小过冲和下冲，在这一点上，SI 和 EMI 的要求是一致的。然而情况并不都那么幸运，在对信号上升/下降沿的需求上，SI 总是希望边沿无限陡峭，因为越接近理想方波的数字信号，越能带来足够的 setup time 和 hold time；而对于 EMI 来说，过于陡峭的边沿意味着能量巨大的高次谐波（我们知道，理想的 90 度上升沿对应的频谱是能量无穷大的冲击信号），这样必然造成 EMI 辐射过大。因此，在处理这类问题的时候必须注意：

- 首先要满足 SI 的基本要求，保证系统正常工作
- 在系统正常工作的情况下，尽可能的避免过于陡峭的跳变沿
- 减缓跳变沿的方法，除了选择低速器件，还可以选择合适的串接电阻来实现
- 在某些情况下，选择合适的磁珠、旁路电容等都可以在 SI 和 EMI 的矛盾中达到和谐



综合考虑各模块的要求，对整板进行布线，得到初步的走线结果，此时除电源和地网络以外，其他部分走线基本完成，下一步将要进入电源和地的设计：



High7.PcbDoc

3. 内电层分割、铺铜、过孔、去耦电容的设计

a) 供电设计对系统造成的影响

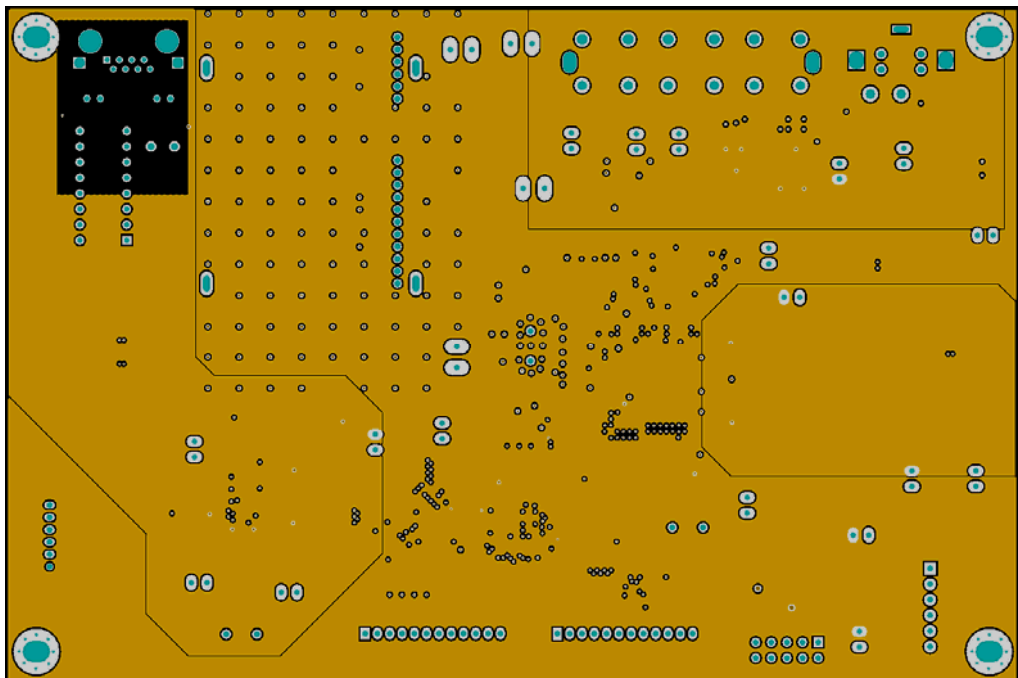
供电设计对系统的影响显然是非常重要的。首先，稳定的供电是系统工作的前提，供电模块需要向系统提供足够的电压和电流；其次，电源上的噪声会直接叠加到信号，造成信号的混乱；再次，不同模块之间的相互干扰也可能通过共同的电源网络进行传播；最后，电源平面与相邻的地平面构成的腔体一旦被激发起谐振，将会带来 EMI 噩耗，在很多情况下平面间谐振引起的辐射远远大于单根信号线。良好的 PDN 设计包括器件的选取和布局，PCB 走线、铺铜和分割，去耦电容的选取和放置，以及过孔的放置。

b) 分割的实现方法、各种分割方式的利弊和选取

为了降低各模块之间的相互干扰，尤其是数字电路对模拟电路的干扰，有时需要对各模块的电源/地网络进行隔离。这时，采用不同的平面分割方法将会得到不同的效果。以数模混合电路的分割举例：

- 首先，分割的目的是要阻止数字电路中的噪声通过电源或地平面串到模拟电路中影响到模拟电路的信号质量。为了达到这一目的，希望两个模块最好完全隔离，可是一个正常工作的系统，其数字部分和模拟部分往往是有关联的。比如，数字信号经过 D/A 转换以后变为模拟信号输出，或者模拟信号经过 A/D 采样后供 CPU 处理。另外，为了整个系统正常工作，两个模块的地应该是等电位的，往往会通过某种方式进行连接。常用的分割方式有以下几种：
 - 完全隔离
 - 通过金属外壳连接
 - 单点或多点铜皮连接
 - 跨接磁珠或滤波器
 - 跨接电容
- 在考虑到隔离效果的同时，要注意高频信号的回流路径。如果高频信号跨越其参考平面上的分割进行布线，将会造成回流路径不连续，形成很大的环路电流，从而引起辐射，一方面造成 EMI 超标，一方面辐射本身也会影响到信号质量。换言之，分割可以避免模块之间的干扰，优化信号质量；但对于 EMI 来说往往会造成负面影响，在选择是否分割时需要有所取舍，针对更加关注的问题选择合适的方案。
- 要深入探讨混合信号 PCB 的分区设计必须先了解高频电流的特性：高频电流总是选择阻抗最小(电感最低)，直接位于信号下方的路径，因此返回电流会流过邻近的电路层，而无论这个临近层是电源层还是地层。
 - 数模混合电路设计经验总结
 - 合理布局，将数字部分和模拟部分分开
 - A/D 转换器件跨分区放置

- 对模拟和数字电源进行分割
 - 慎用地分割，很多时候不分割更好。
 - 布线尽量不要跨分割
 - 必须跨越分割电源之间间隙的信号线要位于紧邻大面积地的布线层上
 - 具体分析返回地电流实际流过的路径和方式，寻找最佳设计方案
- 本例中，首先考察电源网络和地网络的构成与分布，选择以下方案：
- 整个系统采用统一的地网络，在 GND 层保持完整的铜皮
 - +3.3V 电源跨越了大部分区域，给系统的主体部分供电，所以在 POWER 层以大面积铺铜来分布+3.3V 网络，在 Ethernet 模块区域分割出+3.3VN 区域，而 AV 模块区域没有用到+3.3V，这部分属于模拟电路，POWER 层分割出+5VAV 网络
 - DDR 接口部分专用 VDDLMI 电源，在 POWER 层分割
 - 其他一些电源采用 TOP 层和 BOTTOM 层走线与铺铜结合的方式连接
 - TOP 层不做大面积铺铜，BOTTOM 层的空白区域铺设 GND 铜皮
- 铺铜与分割完成后，再对走线进行一些局部调整：



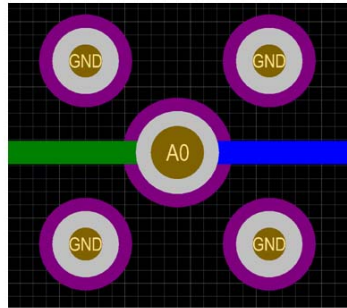
High8.PcbDoc

c) 过孔的处理

过孔在整个设计中是必不可少的部分，对过孔的处理主要注意以下几点：

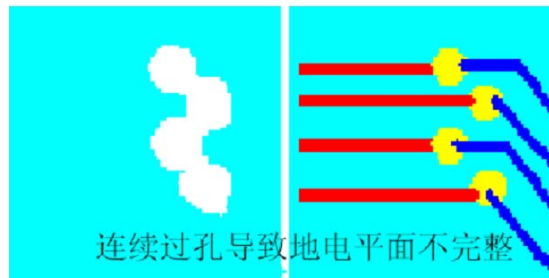
信号线过孔

- 尽量避免高速信号线打过孔换层
- 如果高速信号线换层引起参考面改变，则要在信号过孔附近的参考面之间加过孔(或电容)
- 在需要做等长考虑的一组线中，如果有过孔，则同一组线的过孔个数应该相同
- 考虑电流和线宽，选择合适大小的过孔，尽量减小阻抗突变



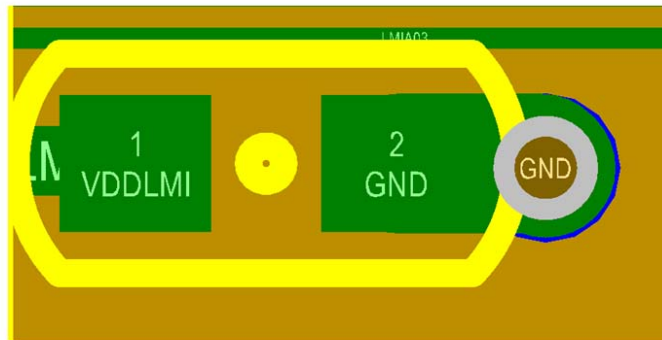
避免过孔集中分布引起电源/地平面不完整

- 如下图所示，有很多这样的设计，如成组的数据线或者地址线，可以将相邻的过孔错开位置以免造成所有地电平面的不完整。有时候可以将某些层的焊盘减小甚至去掉。



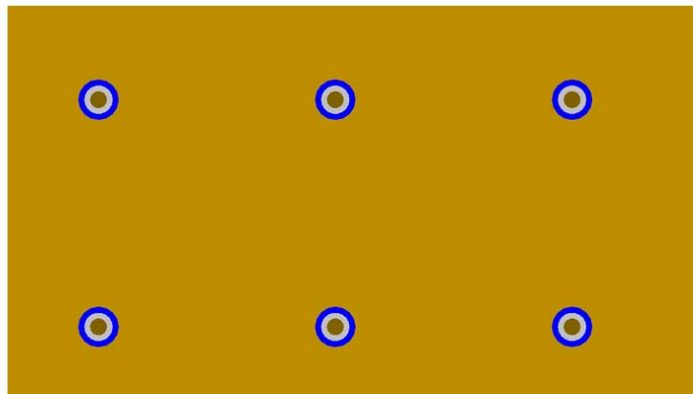
连接到器件PIN脚的地电过孔

- 考虑电流，选择合适大小的过孔
- 在工艺允许的情况下尽量靠近PIN脚
- 过孔到PIN脚的引线会带来寄生电感



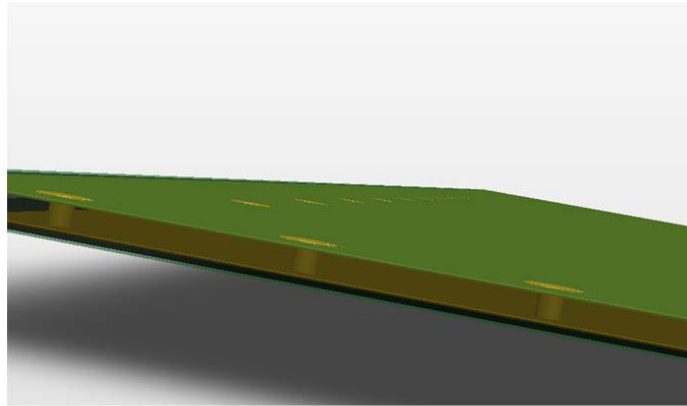
大面积铜皮间的过孔

- 避免相邻两层铜皮大面积空白，形成谐振腔
- 空白面积越小，对应谐振腔的谐振频率越高

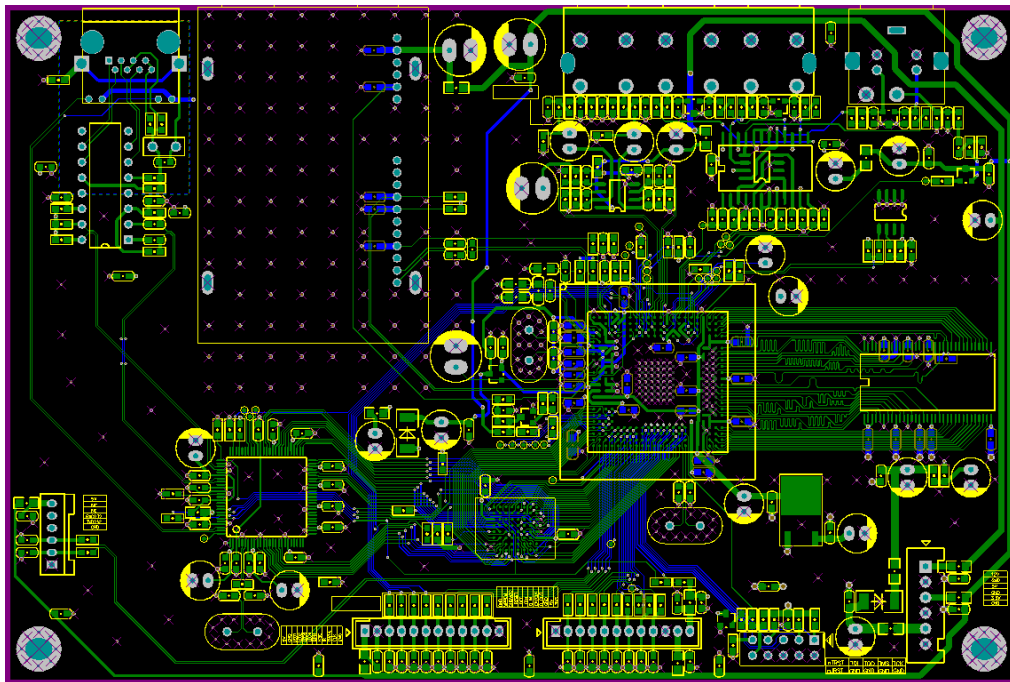


围绕板边的过孔

- 利用过孔做“栅栏”和上下两层铜皮形成“笼子”，减少电磁波向外辐射
- “栅栏”的密度决定了能“关”住的电磁波频率



考察本例中的过孔，进行调整和增加，完成所有的网络连接：

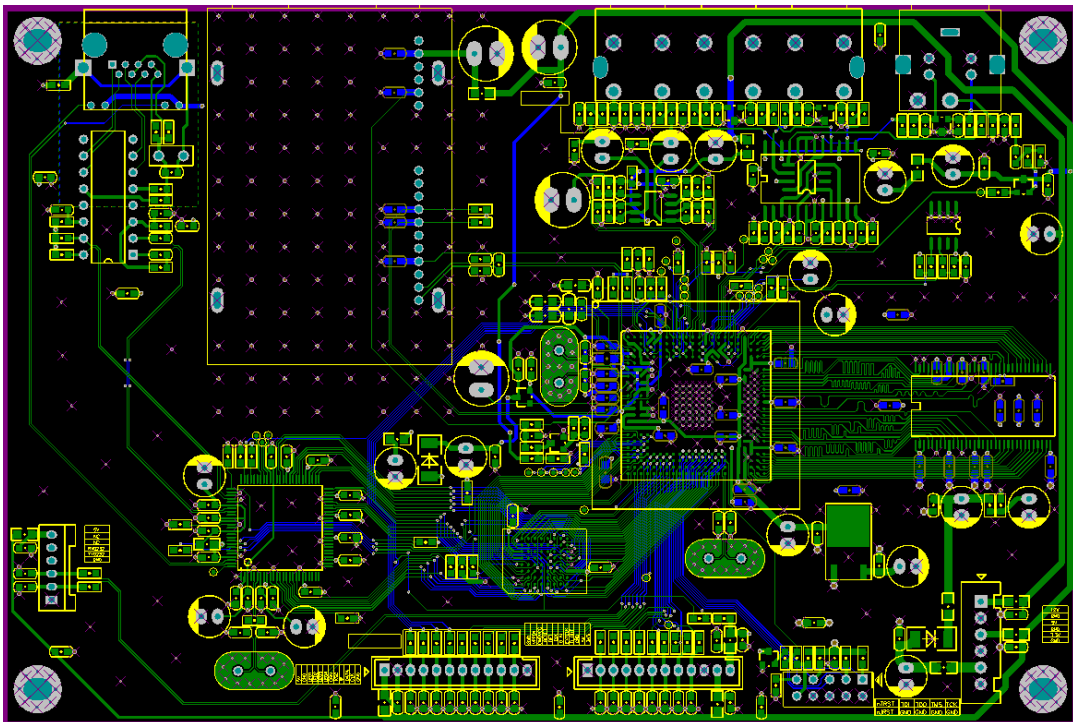


High9.PcbDoc

d) 去耦电容的选取和放置

去耦电容的选取和放置对整个系统的 PDN 设计以及 EMI 控制有着非常重要的作用。第一章我们讨论过电容的 ERL、ESR 以及电容的阻抗特性曲线，在供电系统设计中我们看到整个 PCB 上各种类型的电容响应顺序以及 PDN 阻抗的频率分布状况。选取电容的原则是针对所要处理的频率，选择自身谐振频率符合目标频率的电容；而放置电容的原则有两点，一是要尽量靠近供电目标的电源脚，二是在处理平面间谐振时要放在振荡剧烈的区域，这个区域的定位要依靠丰富的经验和仿真工具的支持；另外，针对电容脚的连接和过孔放置需要注意，尽量缩短连线的长度，减少引入的 ESL 影响。而 PCB 埋容材料也越来越多的应用于一些高性能 PCB 中，这也将使去耦设计走上一个新的台阶。有关去耦电容设计的详细讨论可参考资料 2。

在本例中调整去耦电容，并进行重新铺铜和局部微调：



High10.PcbDoc

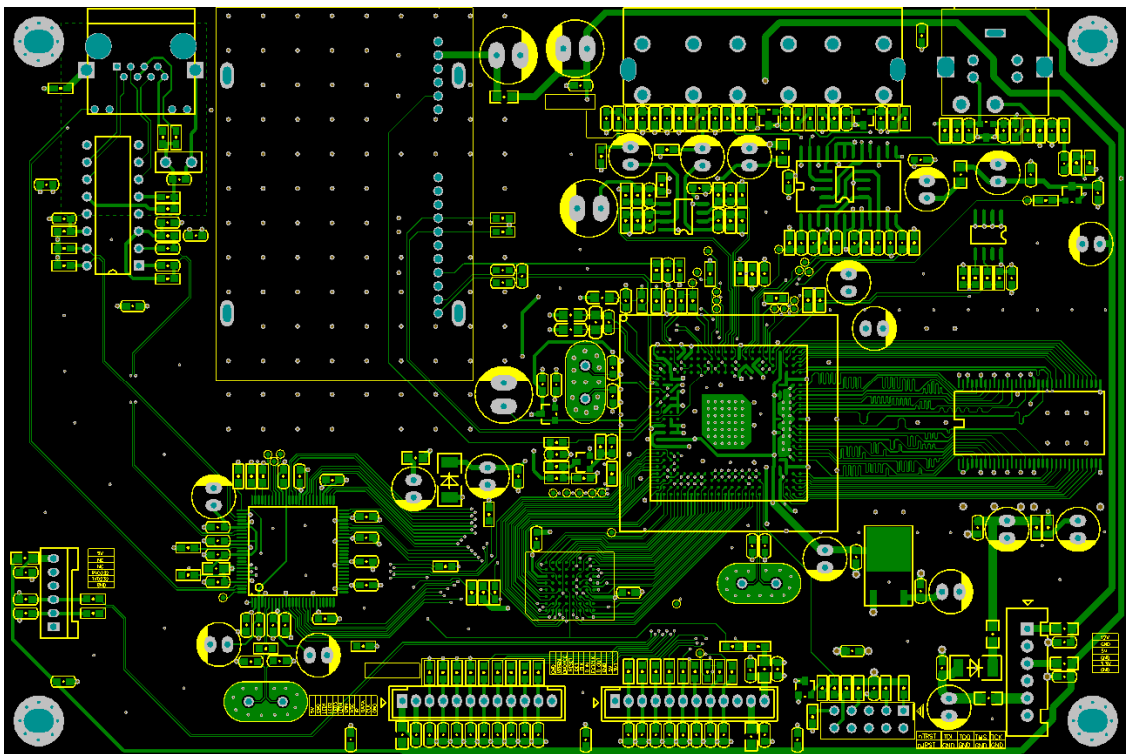
第六章 PCB 设计后期

1. 整体检查

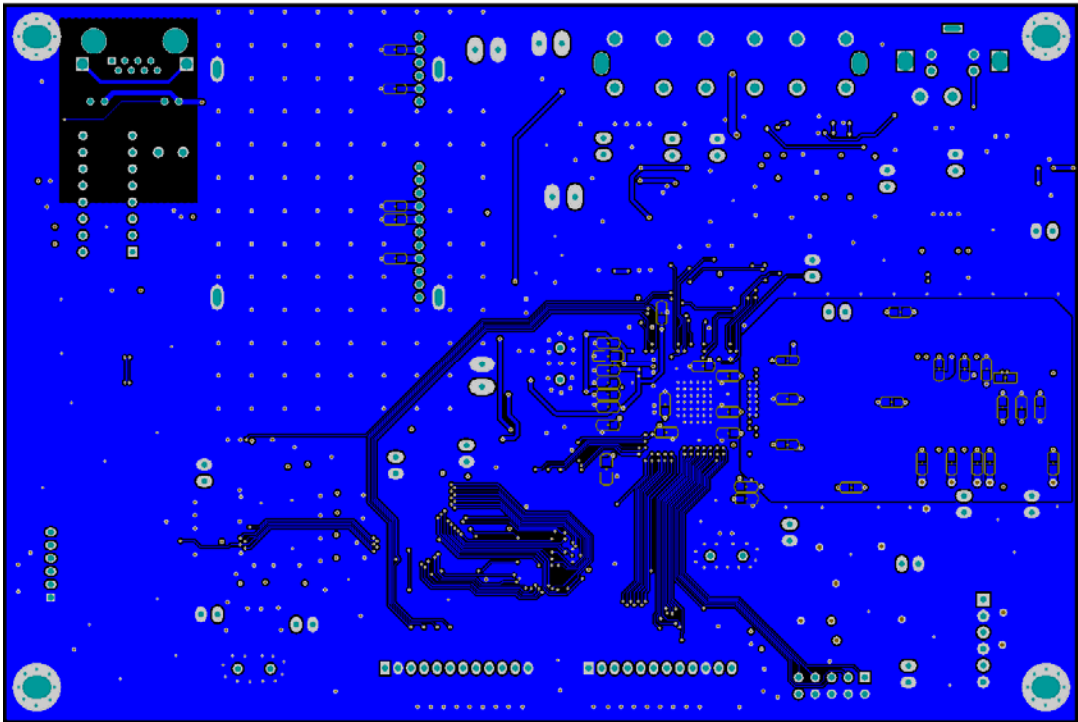
a) 人工检查

首先进行人工检查，逐层观察整个设计，检查以下几个方面：

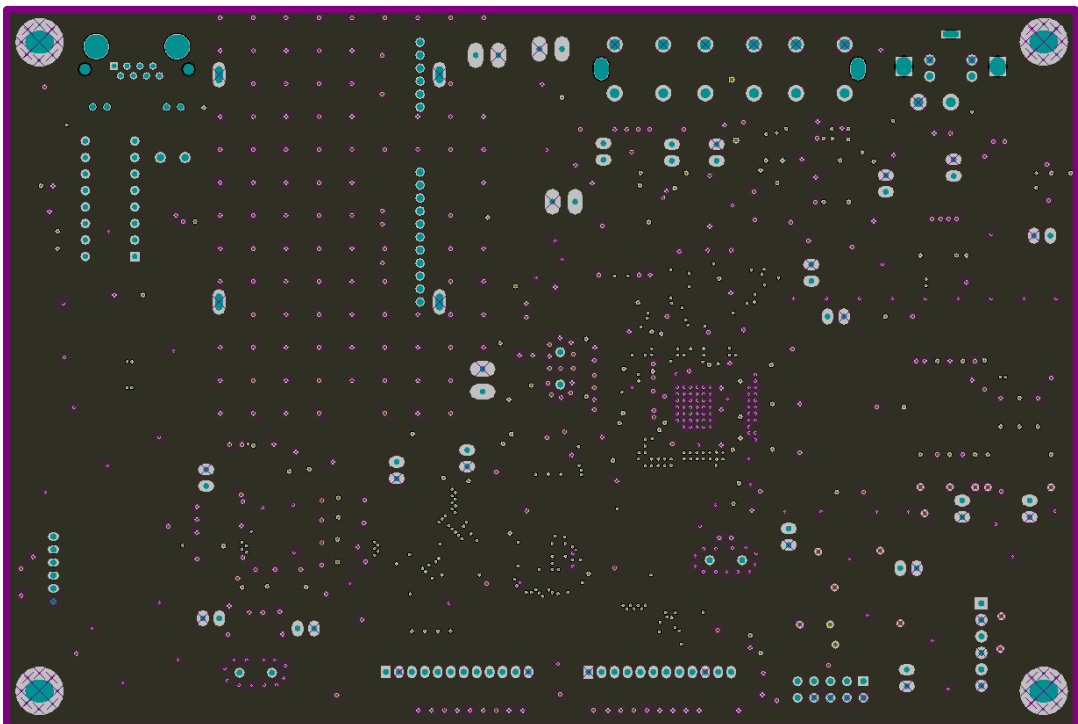
- 整体布局是否合理
- 各模块的注意事项是否有疏忽
- 走线、铺铜、过孔、去耦电容是否需要修改
- 违背常规的问题点是否可以接受



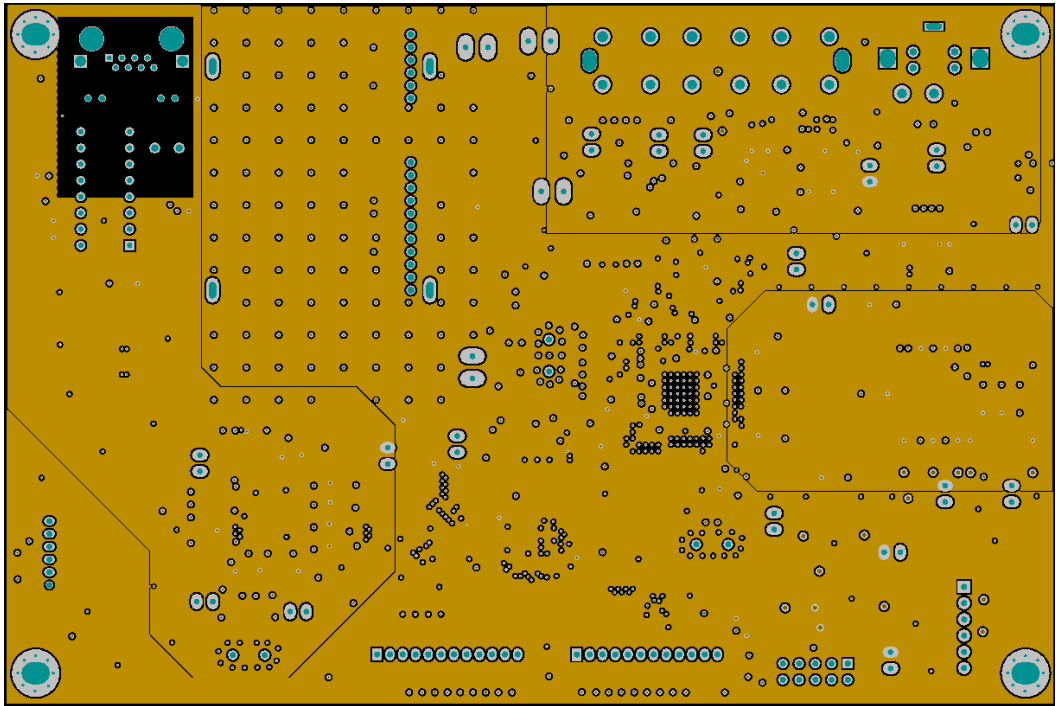
Top Layer



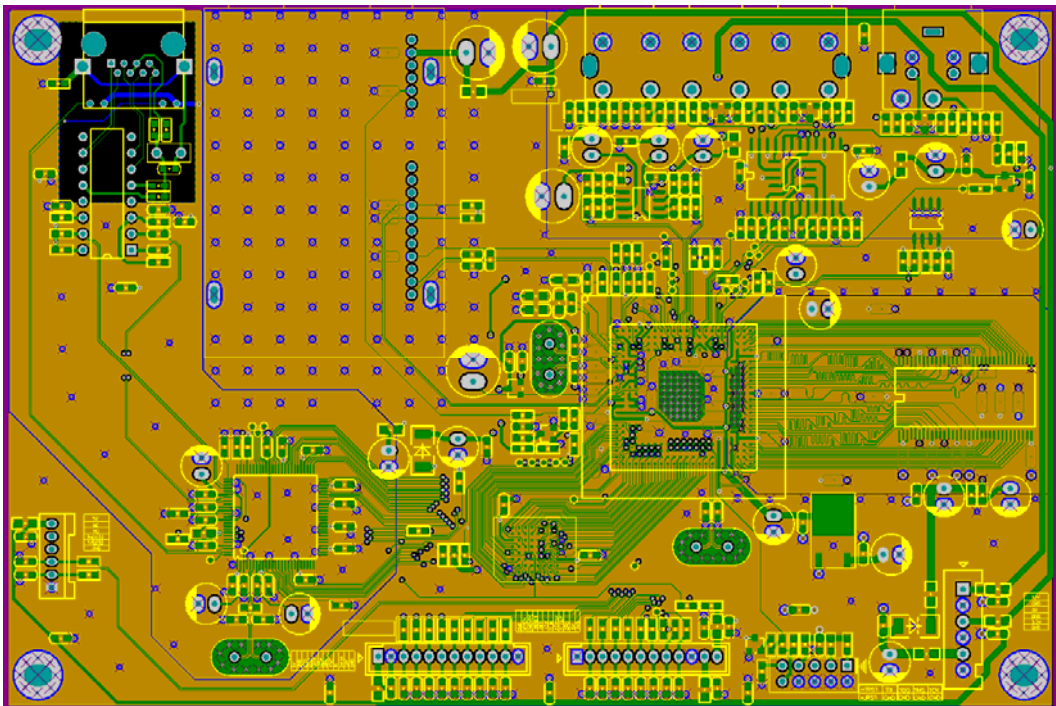
Bottom Layer



GND Plan



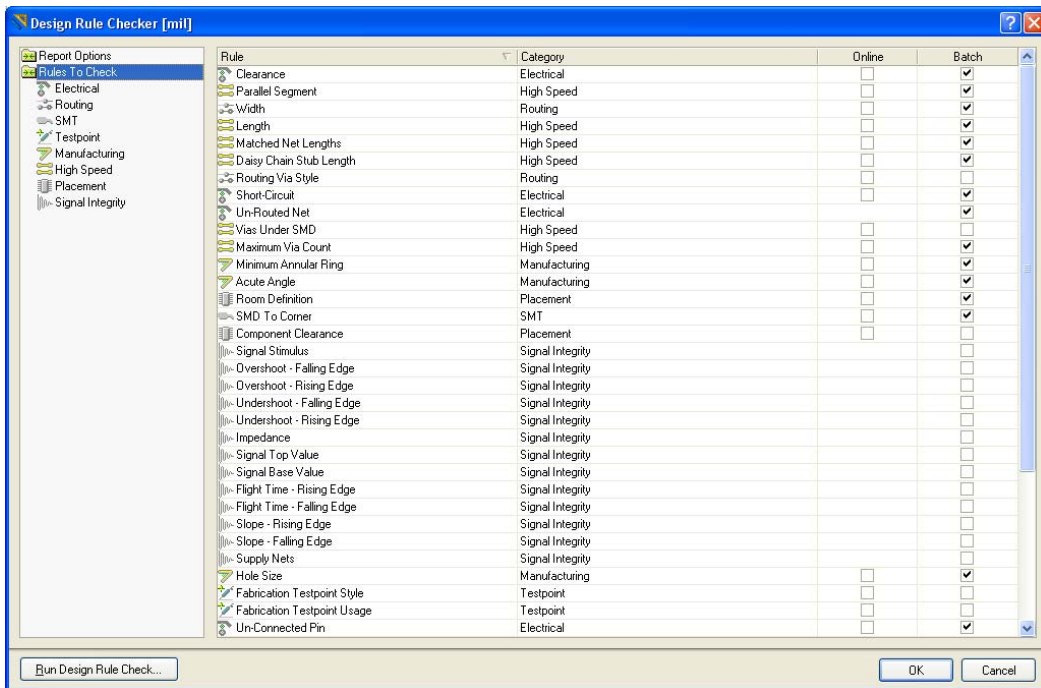
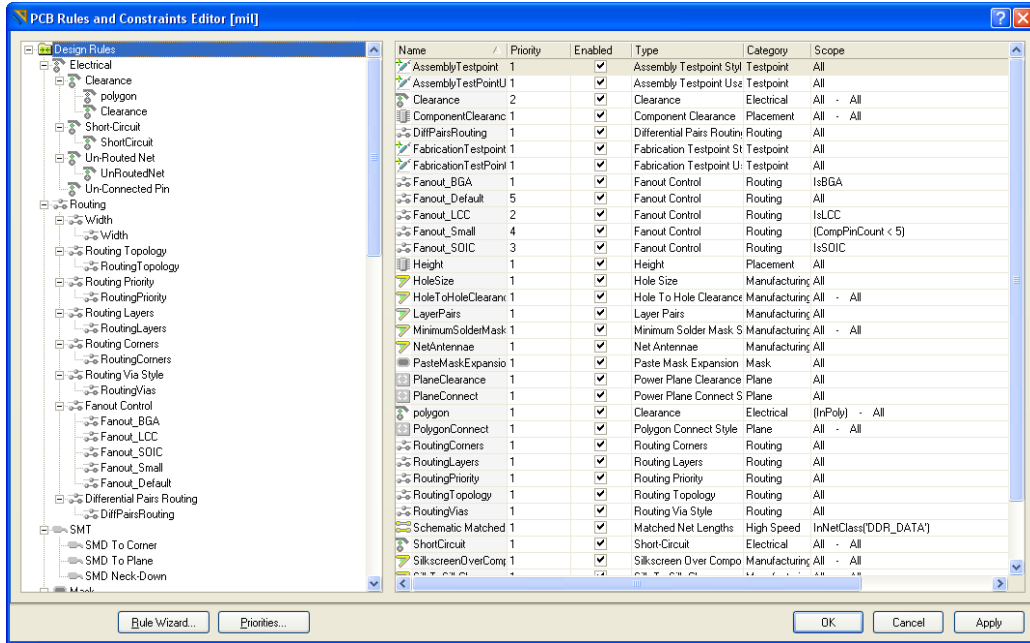
Power Layer



总体外观

b) DRC 设计规则的检查与处理

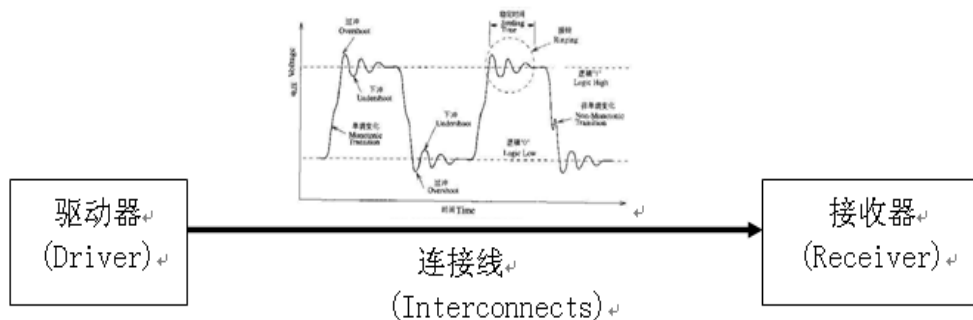
确认规则设置后，打开 DRC 界面，运行需要的 DRC，根据报告的错误进行定位和处理。



2. 仿真与改进

a) 仿真的基本思路

- 高速数字信号从 Driver 经过互联结构到达 Receiver 的过程中，数字信号由于各种原因形成畸变，携带了很多模拟特性，SI 分析所要研究的问题就是如何控制这些模拟特性，将畸变控制在可以接受的范围。
- 针对 PCB 的 SI 仿真需要建立一个如下的模型：



其中 Driver 和 Receiver 由芯片的 IBIS 模型来描述，而连接线则是由 PCB 上的传输线模型来描述。

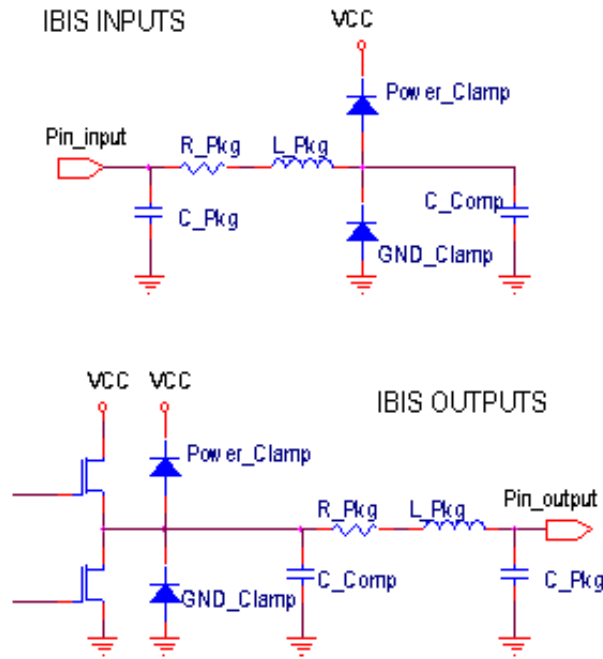
- 关于 IBIS 模型

为了精确模拟 IC 的 I/O Buffer 在信号传输中的作用，就需要对 I/O Buffer 建立一个 I/O 特性的模型。通常 SPICE 模型可以实现这一功能，但是 SPICE 模型包含了厂商不愿透露的电路层信息。因此，一种可以在保密前提下提取 SPICE 参数的更简单的模型应运而生，这就是最初由 Intel 公司提出的 **IBIS (I/O Buffer Information Specification)** 标准。

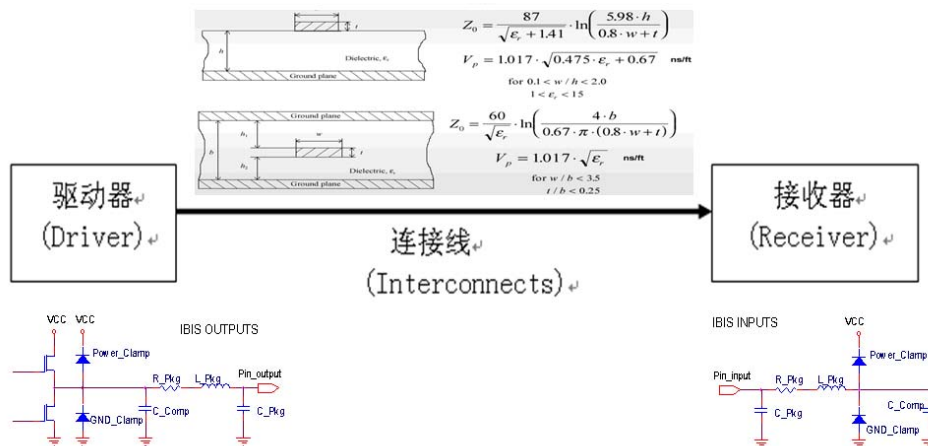
IBIS 模型可以在不透露实际电路和工艺的前提下对连线间的信号行为作出精确描述。可以用来进行系统级分析和信号完整性分析。包括对信号驱动和负载之间振铃(ringing)和地弹(ground bounce)的测量和估计，对串扰(cross talk)影响的检测，以及对 EMI 性能的预测。在 PCB 生产之前就可以对整个设计进行仿真和评估，从而节约了设计时间和成本。

IBIS 的优点在于简单方便，对大型设计的仿真速度快，并且不透露电路信息。绝大多数提供时序技术产品的公司都使用 IBIS 模型。IBIS 仿真操作简单，而且

可以更好地洞察您的设计电路的运行情况。该模型仿真功能非常强大，可以用于多种类型的多层电路板、元件、连接器以及离散元件。

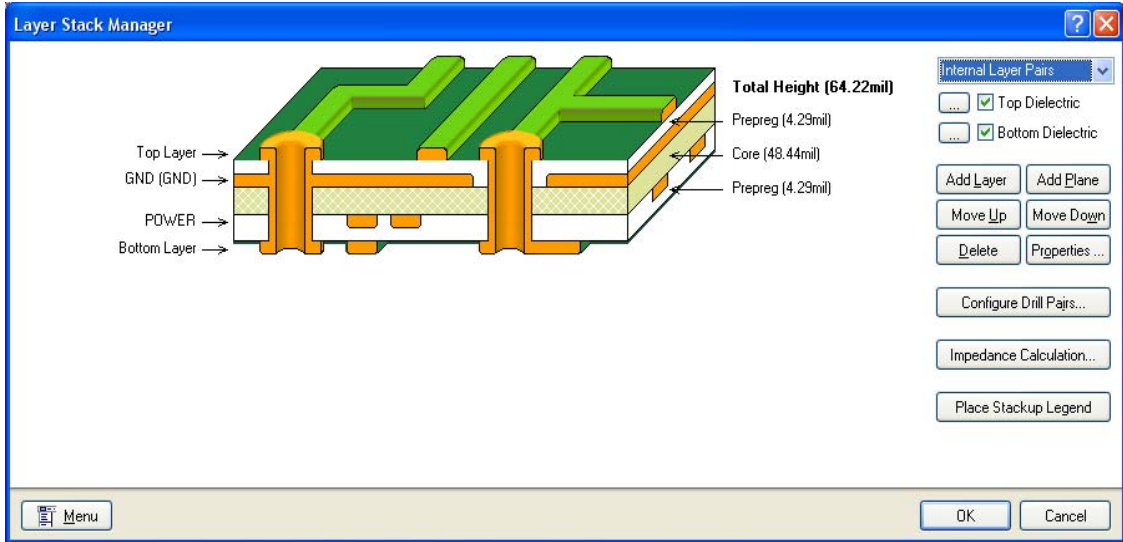


- 建立了由 Driver 经过互联结构到达 Receiver 的系统模型后，需要在 Driver 端加载合适的数字激励，然后计算激励信号经过 Driver Buffer 输出->从 Driver 到传输线->从传输线到 Receiver->经过 Receiver Buffer 到达 IC 内部的过程。



b) Altium Designer 中 SI 仿真的基本步骤

首先确保实际的叠层设置已经输入 Layer Stack Manager:



然后按照以下步骤进行:

SI仿真设置 - Stimulus

Copyright © 2009 Altium Limited 174 - D. How - Altium

SI仿真设置 - Model



Transmission Line Models



IBIS models

Signal Integrity Model Assignments for 4 Port Serial Interface.PcbDoc

Type	Designator	Value/Type	Status	Update Schematic
Capacitor	C11	50pF	High Confidence	<input type="checkbox"/>
Capacitor	C12	20pF	High Confidence	<input type="checkbox"/>
Capacitor	C13	0.1uF	High Confidence	<input type="checkbox"/>
Capacitor	C14	0.1uF	High Confidence	<input type="checkbox"/>
Capacitor	C15	10uF	Low Confidence	<input type="checkbox"/>
Diode	D1		High Confidence	<input type="checkbox"/>
Diode	D2		High Confidence	<input type="checkbox"/>
Connector	J1		Low Confidence	<input type="checkbox"/>
Connector	P1		Low Confidence	<input type="checkbox"/>
Resistor	R1	1M	High Confidence	<input type="checkbox"/>
Resistor	R2	1K5	High Confidence	<input type="checkbox"/>
Resistor	RP1	20k Ohm Parallel	High Confidence	<input type="checkbox"/>
IC	S1	HC	No Match	<input type="checkbox"/>
IC	S2	HC	No Match	<input type="checkbox"/>
IC	U1	HC	Medium Confidence	<input type="checkbox"/>
IC	U2	HC	Medium Confidence	<input type="checkbox"/>
IC	U3	HC	Medium Confidence	<input type="checkbox"/>
IC	U4	HC	Medium Confidence	<input type="checkbox"/>
IC	U5	HC	Medium Confidence	<input type="checkbox"/>
IC	U6	HC	Medium Confidence	<input type="checkbox"/>
IC	U7	HC	Medium Confidence	<input type="checkbox"/>
IC	U8	HC	Medium Confidence	<input type="checkbox"/>
IC	U9	HC	Medium Confidence	<input type="checkbox"/>
IC	U10	HC	Medium Confidence	<input type="checkbox"/>
IC	U11	HC	Medium Confidence	<input type="checkbox"/>
IC	X1	HC	No Match	<input type="checkbox"/>



SI仿真 - Total Result

Signal Integrity

Net	Status	Falling Edge Oversh...	Falling Edge Undersh...	Rising Edge Oversh...	Rising Edge Unders...
B7	Failed	323.0m	167.7m	693.9m	374.6m
B20	Failed	329.5m	175.4m	713.3m	396.0m
D0	Failed	581.7m	244.7m	873.4m	357.0m
A13	Failed	334.4m	180.6m	725.7m	409.2m
B5	Failed	282.7m	144.0m	523.5m	276.3m
B6	Failed	304.1m	156.2m	621.6m	336.0m
D4	Failed	488.2m	200.5m	789.5m	327.8m
D5	Failed	484.8m	250.3m	895.0m	458.6m
D6	Failed	474.5m	243.4m	885.3m	452.6m
D1	Failed	576.7m	293.3m	966.4m	492.2m
D2	Failed	521.0m	268.9m	925.5m	473.1m
D3	Failed	508.5m	264.0m	916.5m	469.4m
A12	Failed	299.5m	152.5m	602.7m	324.5m
A3	Failed	284.0m	143.8m	532.0m	281.1m
A4	Failed	284.8m	143.9m	536.4m	283.7m
A5	Failed	286.2m	144.4m	544.1m	288.2m
A0	Failed	280.9m	145.3m	511.6m	263.7m
A1	Failed	281.7m	144.7m	517.3m	272.8m
A2	Failed	282.5m	144.1m	522.9m	276.0m
A9	Failed	292.5m	147.5m	573.4m	305.1m
A10	Failed	296.6m	150.2m	590.5m	316.9m
A11	Failed	297.9m	151.2m	596.0m	320.3m
A6	Failed	287.4m	145.0m	550.3m	291.9m
A7	Failed	288.8m	145.6m	557.3m	296.2m
A8	Failed	290.8m	146.4m	565.5m	301.2m
D7	Failed	1.322	668.5m	1.630	821.0m
D12	Failed	456.9m	243.8m	926.8m	506.3m

SI仿真 - 具体的信号波形

Net: D0

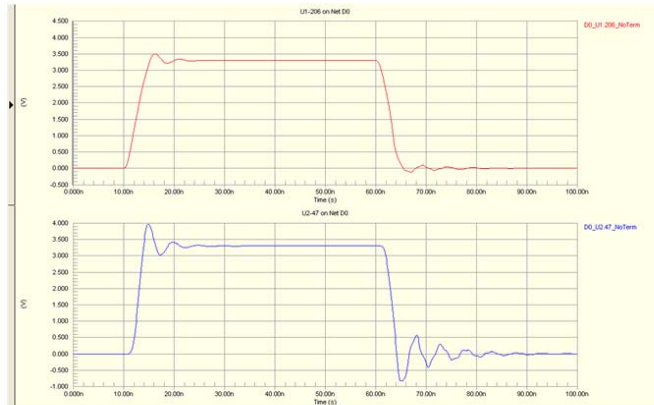
Designator	Pin	Direction
U1	206	BV/Out
U2	47	In

Termination Enabled

- No Termination
- Serial Res
- Parallel Res to VCC
- Parallel Res to GND
- Parallel Res to VCC & GND
- Parallel Cap to GND
- Res and Cap to GND
- Parallel Cable Mode

Perform Sweep Sweep Steps: 10

Reflection Waveforms... Crosstalk Waveforms...



SI仿真 - 模拟端接

Net: D0

Designator	Pin	Direction
U1	206	BV/Out
U2	47	In

Termination Enabled

- No Termination
- Serial Res
- Parallel Res to VCC
- Parallel Res to GND
- Parallel Res to VCC & GND
- Parallel Cap to GND
- Res and Cap to GND
- Parallel Cable Mode

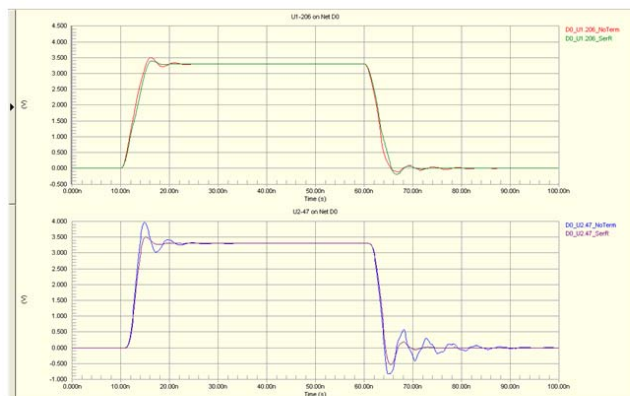
Pref: 20.00

R1

Suggest

Perform Sweep Sweep Steps: 10

Reflection Waveforms... Crosstalk Waveforms...



SI仿真 - 参数扫描

The screenshot displays the 'Termination' settings for a signal net. The 'Perform Sweep' checkbox is checked, and 'Sweep Steps' is set to 10. Below the settings, a schematic shows a resistor R1 connected to a signal line. To the right, two signal waveforms are shown: 'U1_206 on Net D0 - Termination with Serial Resistor' and 'U2_47 on Net D0 - Termination with Serial Resistor'. Both waveforms show a square wave signal with a sharp rise and fall, and a small overshoot at the edges. The y-axis represents voltage (V) and the x-axis represents time (s).

Copyright © 2009 Altium Limited 179

- D. How -

Altium

SI仿真 - Crosstalk

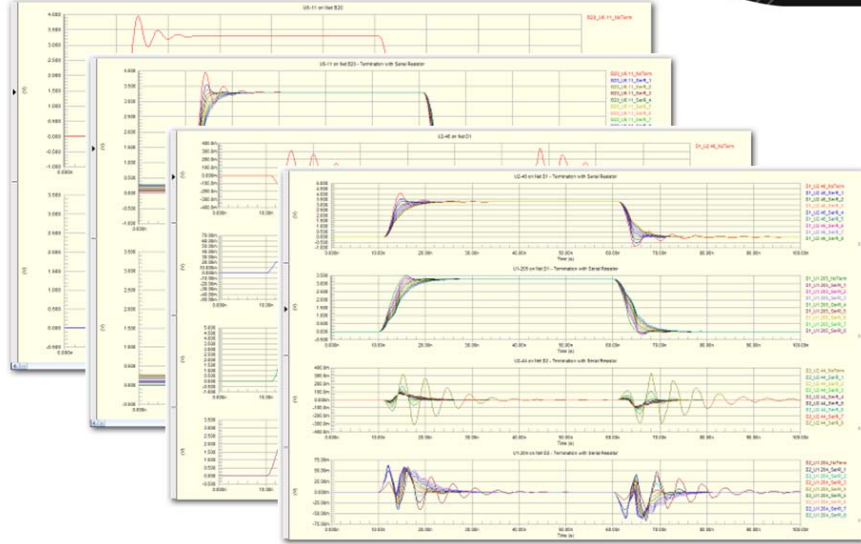
The screenshot displays the 'Crosstalk' settings for a signal net. The 'Crosstalk Waveforms...' button is highlighted. In the net list, 'D1' is selected, and a context menu is open with 'Set Aggressor' and 'Set Victim' options. Below the settings, a schematic shows a signal line with a resistor R1. To the right, four signal waveforms are shown: 'U1_206 on Net D0', 'U2_47 on Net D0', 'U2_46 on Net D1', and 'U1_206 on Net D1'. The waveforms show a square wave signal with a sharp rise and fall, and a small overshoot at the edges. The y-axis represents voltage (V) and the x-axis represents time (s).

Copyright © 2009 Altium Limited 180

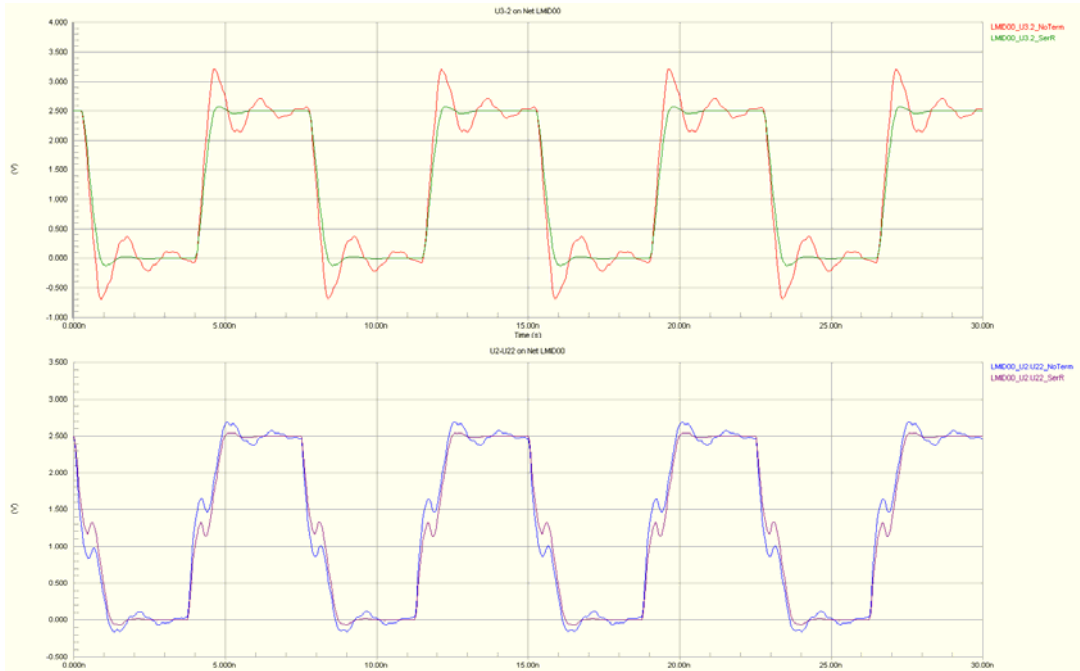
- D. How -

Altium

SI仿真结果

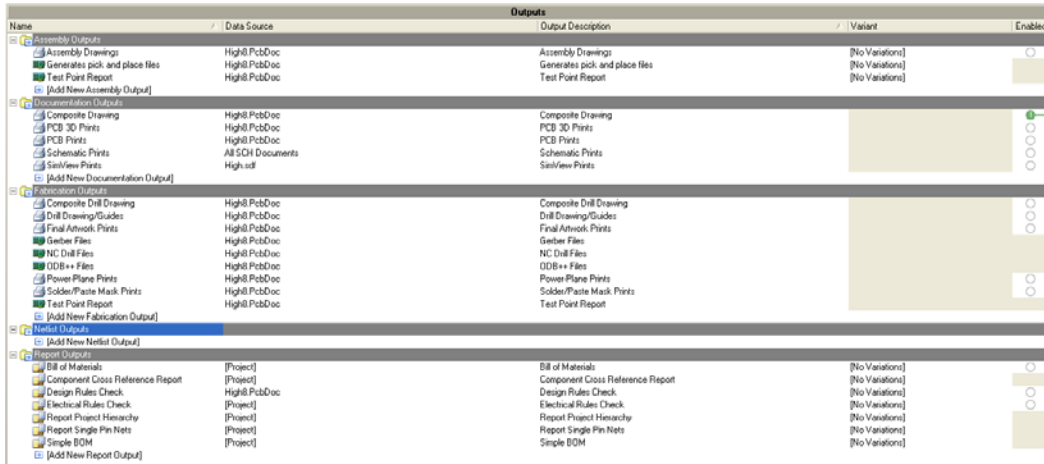


参照上述步骤，对本例中的 LMIDATA 进行仿真，可以看到添加串联端接带来的优化效果，可以根据实际需要选择是否添加端接：



3. 高效率设计输出与设计归档

在完成所有的设计优化和检查以后，确定设计结束。进入设计输出和归档步骤。



关于这一部分详细操作可参照其他课程。

第七章 总结

- 明确 PCB 设计的主要任务才能做到有的放矢
- 高性能 PCB 设计的前提是对整个系统的把握
- 引入 SI/PI/EMI 综合分析的概念对 PCB 设计有很好的指导作用
- 良好的 PCB 设计需要丰富的设计经验和有力的仿真支持
- 合理的设计流程有助于高效、可靠的完成设计任务

相关参考资料

1. AD801 《完整 Altium Designer 板级设计流程》
2. 电源完整性设计详解
3. 信号完整性分析及其在高速数字电路设计中的应用
4. IBIS 模型及其在信号完整性仿真中的应用
5. Altium Designer 在电性功能仿真和信号完整性分析方面的介绍说明